

Chap. 13: Technologies de fabrication

Fabriquer un inverseur

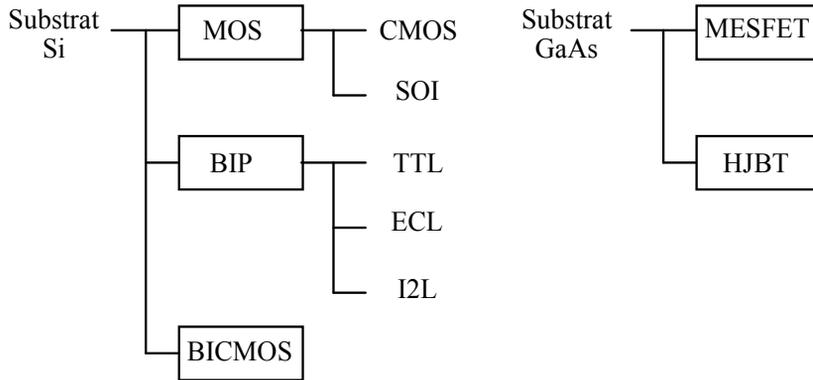
Il existe différentes "technologies" de fabrication de circuits intégrés

- **technologie** = technique utilisée (parmi plusieurs) pour implanter les composants (transistors) dans le matériau semiconducteur
- variété des technologies = différents compromis
 - => \nexists technologie qui serait "optimale" pour toutes applications
 - => différentes technologies coexistent

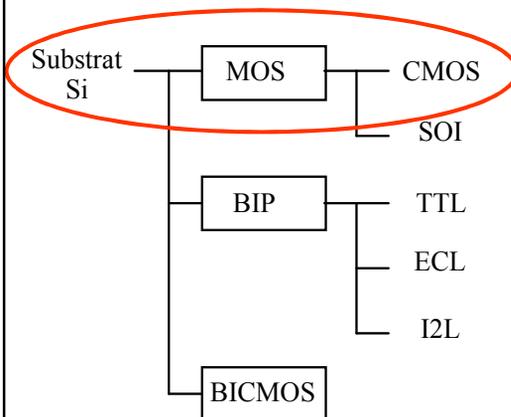
- 13.1 – Panorama des technologies
- 13.2 – Technologies nMOS
- 13.3 – Technologies nMOS: variantes
- 13.4 – Technologies CMOS
- 13.5 – Technologies CMOS: particularités
- 13.6 – Technologies bipolaires

13.1: panorama des technologies

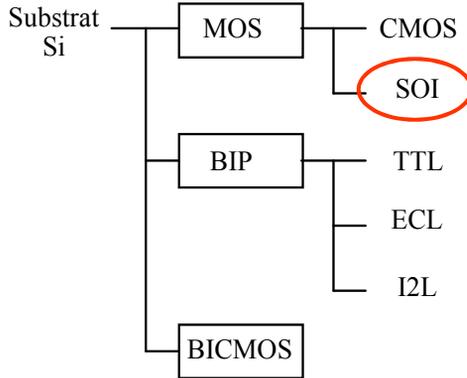
Les principales technologies de fabrication sont...



La technologie CMOS est de loin la plus courante

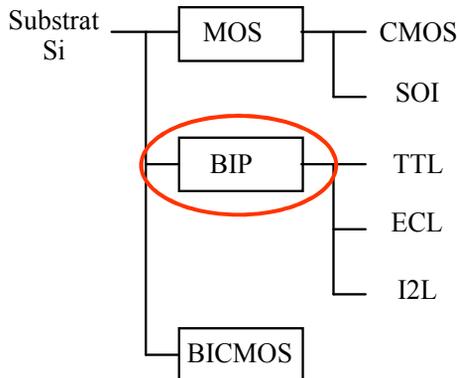


La technologie SOI: Silicon on Insulator

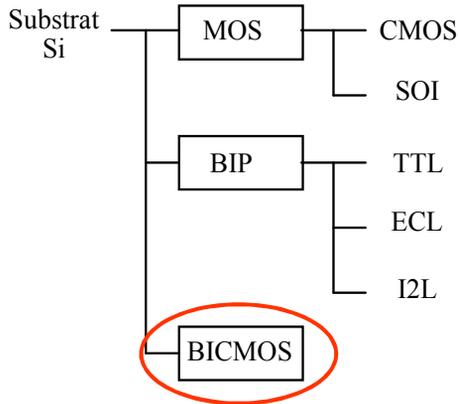


- encore émergente
- hautes fréquences
- hautes températures

La technologie bipolaire

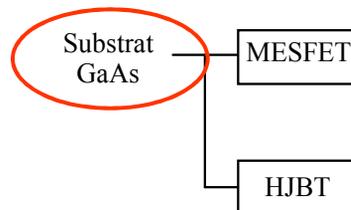


- meilleures performances générales du transistor
- niches
 - tenue en tension élevée
 - puissance importante



- allie les avantages du bipolaire et du CMOS
- plus cher
- très utilisée en télécommunications

- rare
- hautes fréquences
- consommation réduite
- hautes températures
- résistance aux radiations



13.2: Technologies nMOS

Il existe de nombreuses variantes dans la technologie nMOS

- Technologie choisie:
 - nMOS à grille de polysilicium
 - procédé LOCOS (local oxydation of silicon)

On peut implanter...

- **transistors**: MOS à canal n
 - à enrichissement (Te)
 - à déplétion (Td)
- **pistes conductrices**
 - métal (M)
 - diffusion (D)
 - polysilicium (p)
- **éléments de contact**
 - trous de contact métal/poly (C_p)
 - trous de contact métal/diffusion (C_d)
- **c'est tout!**

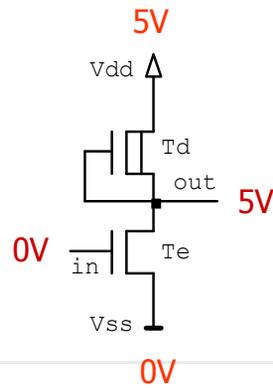
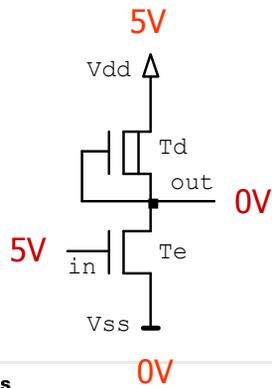
On ne peut pas implanter...

- résistances
- condensateurs
- diodes

- => technologie nMOS peu adaptée à l'analogique

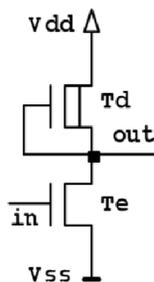
Réalisons le circuit le plus simple: un inverseur

- Pour faire un inverseur en nMOS, il faut:
 - un transistor à enrichissement (Te)
 - un transistor à déplétion (Td)

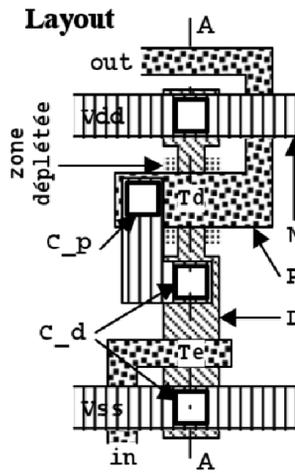


Au niveau silicium ("layout"), l'inverseur devient:

Schéma

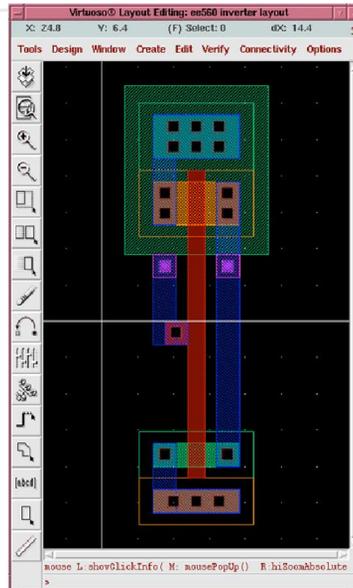
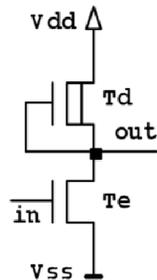


Layout



Au niveau silicium ("layout"), l'inverseur devient:

Schéma

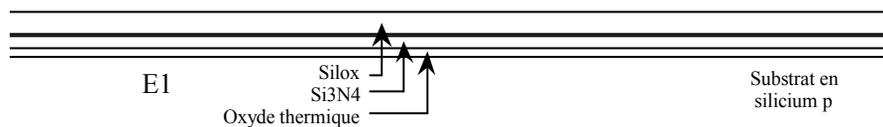


Pour réaliser une telle structure, il faut 6 masques...

- m#1: masque définissant l'emplacement des zones actives
- m#2: fixe, dans les zones actives, les plages où l'on effectue une inversion de dopage du substrat de sorte à pouvoir y implanter des transistors à déplétion
- m#3: dessin des pistes en polysilicium
- m#4: emplacement des trous de contact
- m#5: dessin des pistes métalliques
- m#6: emplacement des plots de contact pour les connexions extérieures du circuit ("pads")

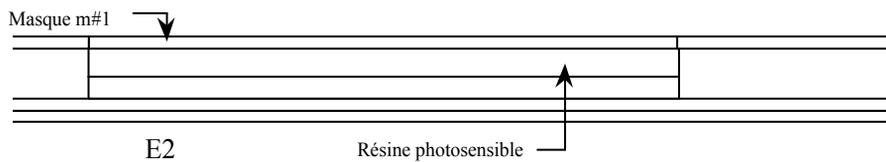
- étapes 1 à 6
 - implantation des zones actives et des zones de champ
- étapes 7 à 12
 - implantation des transistors
- étapes 13 à 18
 - réalisation des connexions métalliques

- dépôt uniforme de 3 couches



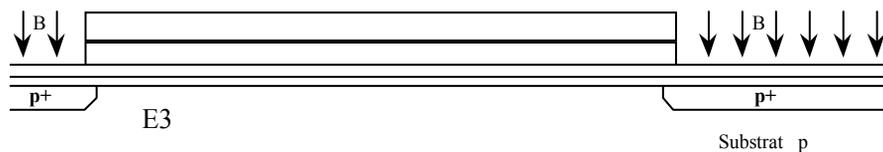
[E2] définition des zones actives

- photolithographie (m#1)
- gravure à l'acide fluorhydrique (HF)



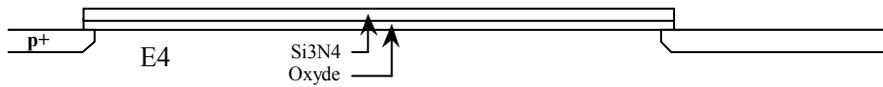
[E3] dopage des zones de champ

- implantation ionique (p+) au bore
 - rend impossible la création de couches d'inversion dans les zones de champ



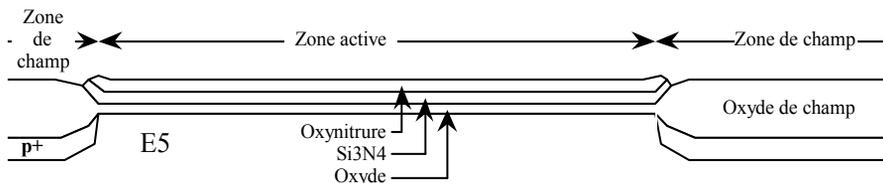
[E4]
on décape...

- ... le nitrure dans les zones de champ (H_3PO_4)
- ... les oxydes (HF)

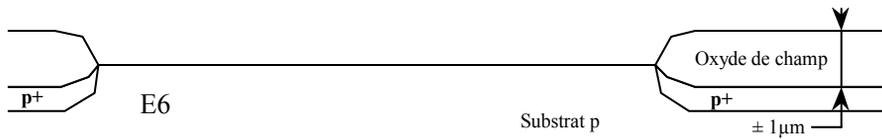


[E5]
procédé LOCOS

- dépôt d'un oxyde épais (1 μ m) dans les zones de champ

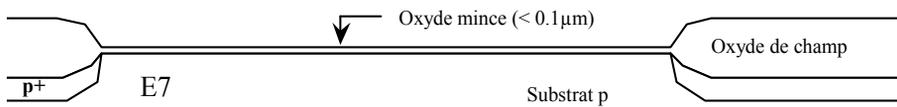


[E6]
on redécape...



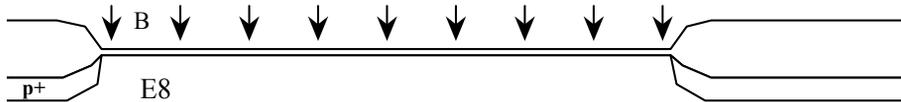
[E7]
oxydation sèche

- dépôt de l'oxyde de grille



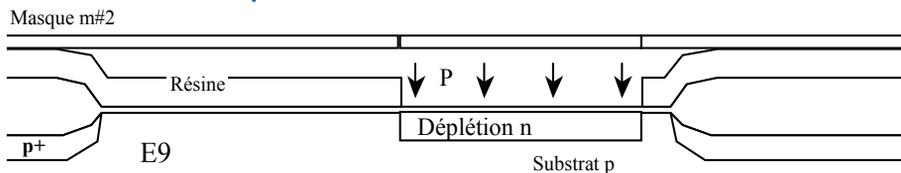
relèvement des tensions de seuil (V_{T0})

- de 0V (valeur spontanée peu adéquate) à 1V
 - via une implantation ionique au bore



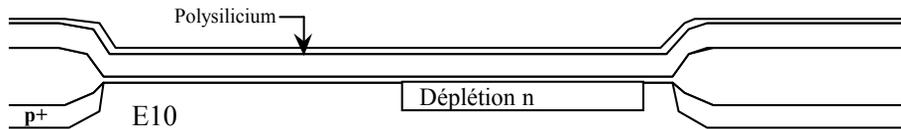
création des zones de déplétion

- photolithographie (m#2)
- implantation ionique au phosphore
 - => dépôt phosphore et diffusion (dopage intense) pour obtenir une faible résistivité
 - => crée "déplétion"



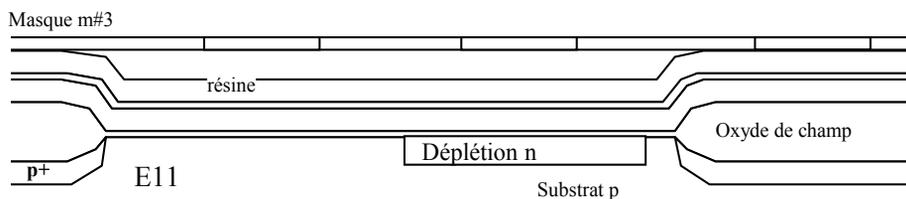
[E10] dépôt de polysilicium

- futures grilles des MOS



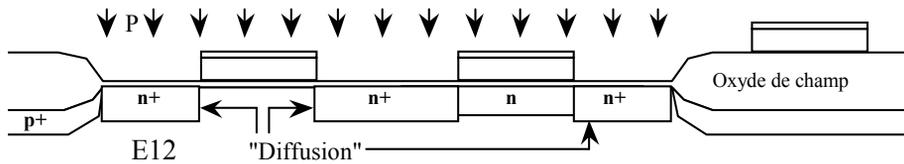
[E11] gravure des pistes en poly

- photolithographie (m#3)
- gravure de l'oxyde et du poly non protégés
- décapage

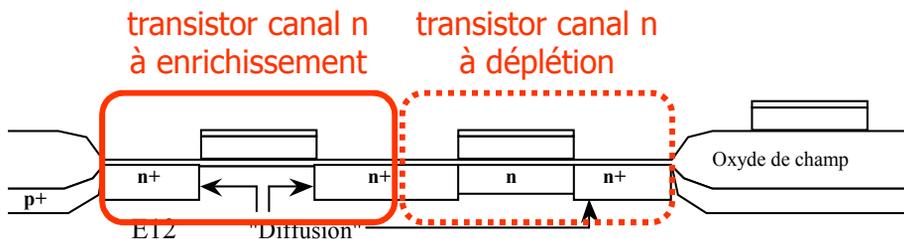


implantation de la "diffusion"

- "diffusion" = couche conductrice la plus profonde du CI
 - = drains, sources et pistes conductrices associées
- via implantation ionique au phosphore (n+)



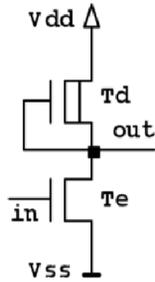
On commence à voir apparaître notre inverseur...



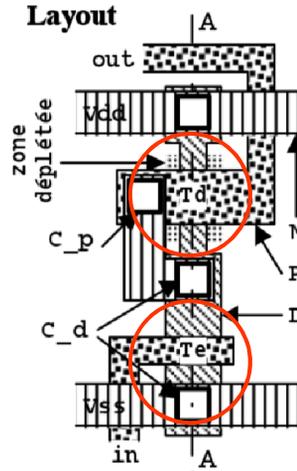
- il ne reste plus qu'à réaliser les connexions...

Les transistors se trouvent au "croisement" du poly (P) et de la diffusion (D)

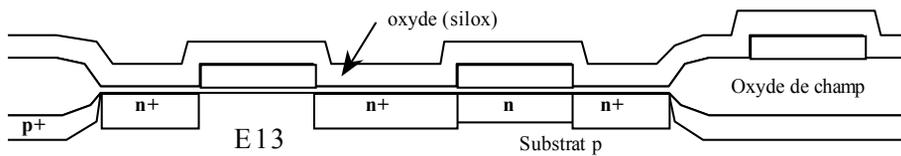
Schéma



Layout



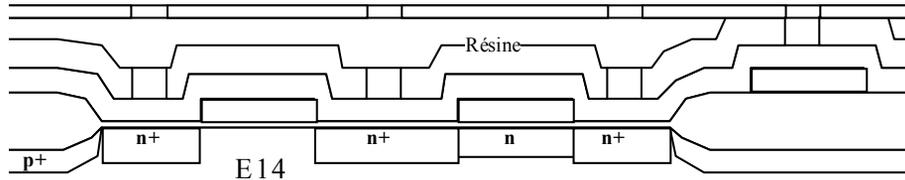
[E13] dépôt d'une couche de silox



[E14] définition des trous de contact

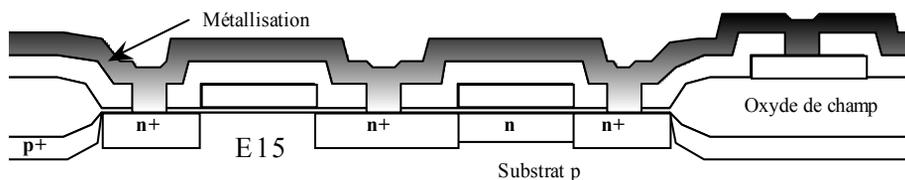
- photolithographie (m#4)
- gravure de l'oxyde
 - zones de champ: jusqu'au poly
 - zones actives: jusqu'au substrat

Masque m#4



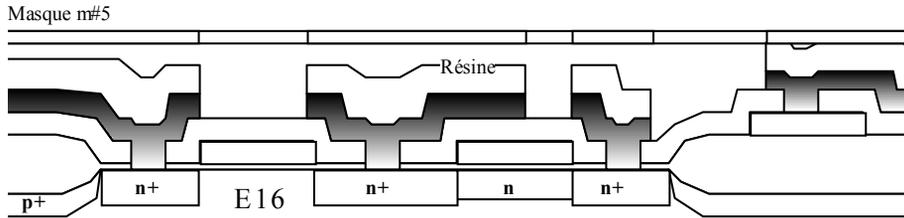
[E15] métallisation

- dépôt uniforme d'aluminium



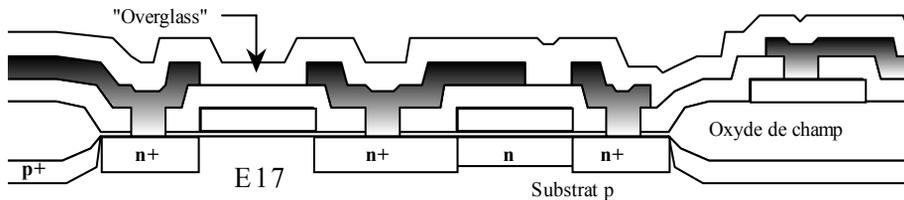
[E16] définition des pistes métalliques

- photolithographie (m#5)
- gravure de l'Al excédentaire



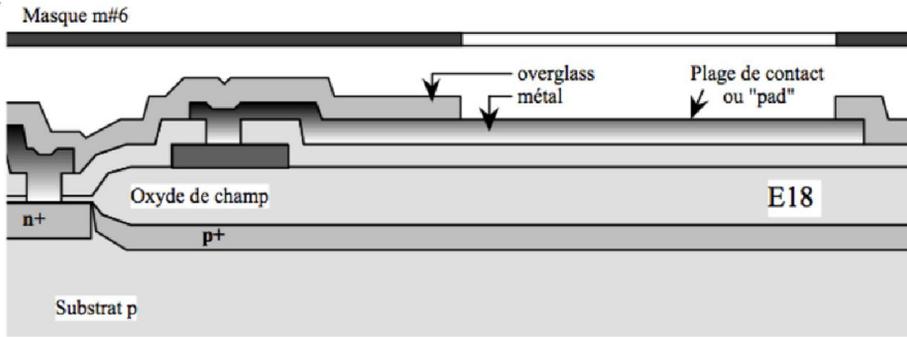
[E17] passivation

- dépôt uniforme d'une couche de pyroglass



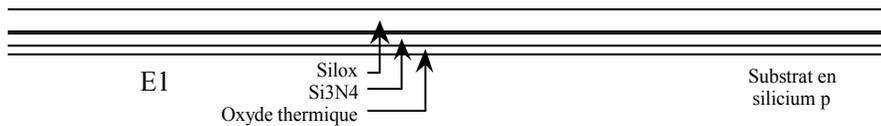
[E18] implantation des pads

- photolithographie (m#6) + gravure
- pad = contact avec extérieur (100µm x 100µm)

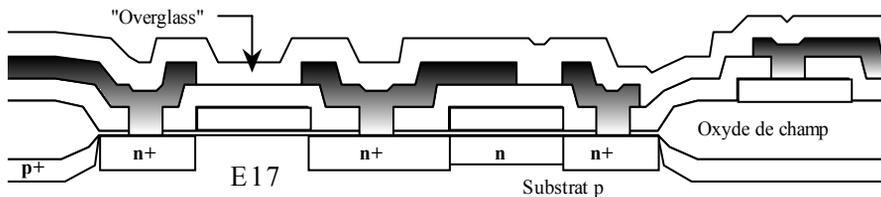


Au final...

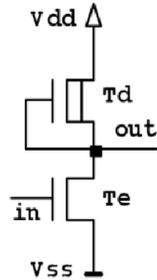
- avant...



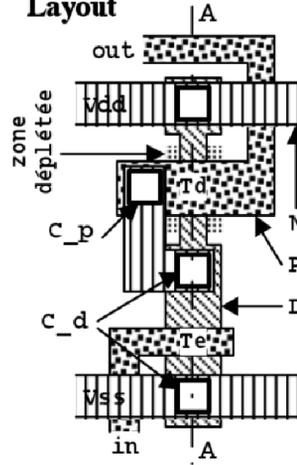
- après...



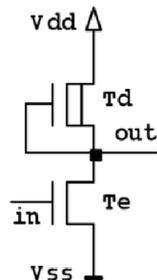
Schéma



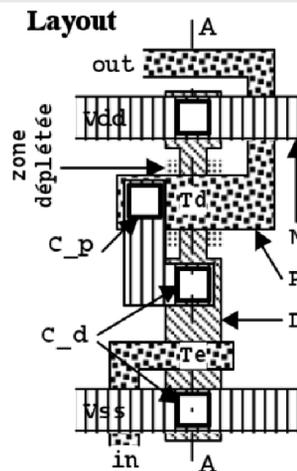
Layout



Schéma



Layout

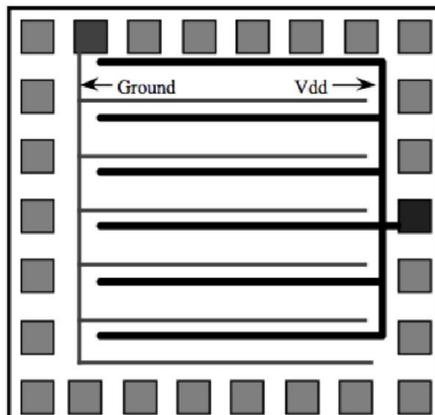


Concernant les couches conductrices (règles de conception):

- Ordre de préférence:
 - métal (faible résistivité)
 - poly
 - diffusion (capacité répartie importante)
- mais...
 - utiliser la diffusion pour les connexions à D et S
 - utiliser le poly pour les connexions à G
 - éviter de changer de couche sans nécessité

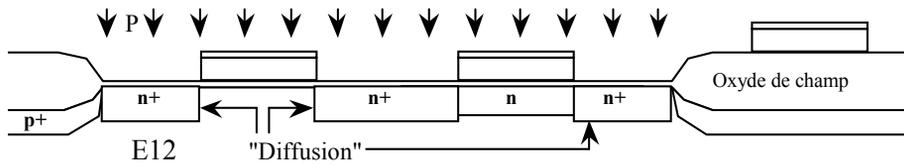
Concernant les couches conductrices (règles de conception):

- pistes d'alimentation en métal
 - disposition en double peigne



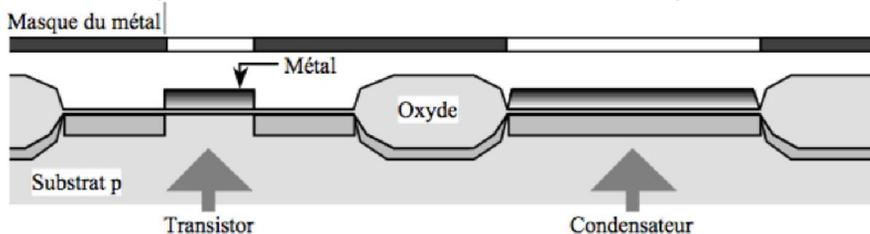
Les technologies à grilles de poly sont préférées pour l'effet d'auto-alignement

- les pistes en poly servent de masque pour l'implantation ionique créant la diffusion
=> D, S et G automatiquement alignés



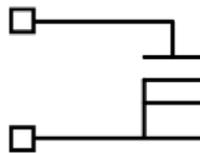
Alternative: technologies à grille de métal

- 2 masques distincts pour diffusion et métal
- inconvénient
 - erreur de positionnement => dégradation des propriétés électriques des transistors
- avantage
 - l'implantation de condensateurs devient possible



Réalisation d'un condensateur en technologie nMOS

- impossible d'implanter un "vrai" condensateur
 - pas de couche diélectrique entourée par deux couches conductrices
- artifice: remplacement par un Td dont la source et le drain sont court-circuités
 - forme un condensateur fortement non linéaire



Que retenir?

- principes généraux de fabrication
 - ex: photolithographie
- structures de base des transistors
- traduction d'un schéma électrique en une structure 3D...
- ...sujette à de nombreuses contraintes de conception
 - => propriétés des composants conditionnées par les procédés et les techniques de fabrication

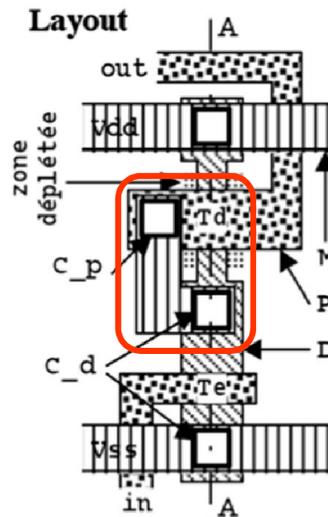
13.3: Technologies nMOS: Variantes de fabrication

Technologie nMOS: il existe des variantes

- les variantes
 - offrent des performances meilleures
 - au prix d'étapes de fabrication supplémentaires
 - donc d'un coût plus élevé
- principales variantes
 - éléments de connexion améliorés
 - seconde couche de polysilicium
 - technologies à plusieurs couches de métal

La connexion poly/diffusion "standard" est peu optimale

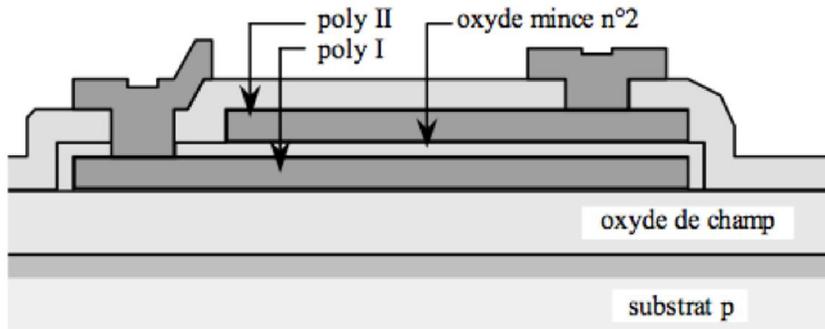
- utilise une piste intermédiaire en métal
 - zone de blocage
- nécessite 2 contacts
 - surface



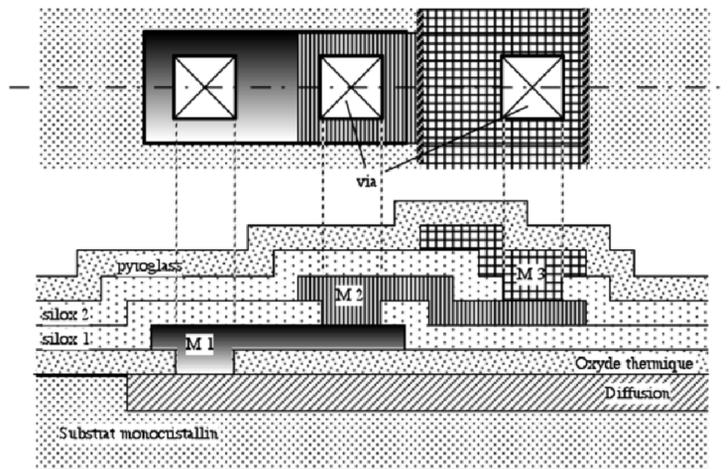
Il existe des manières plus compactes de réaliser des contacts diffusion/poly

- le "contact en bout" (butting contact)
 - pas de masque supplémentaire
- le "contact direct"
 - demande un masque supplémentaire
 - gain en surface important

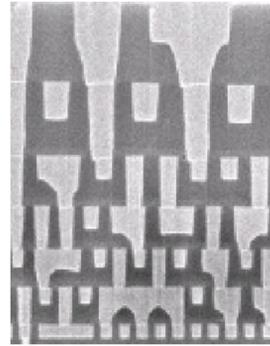
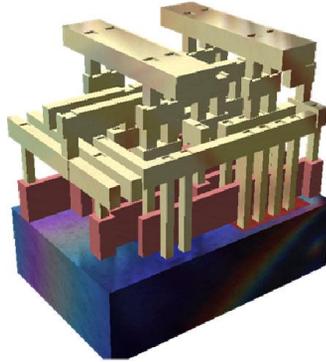
Une seconde couche de poly permet l'implantation de bons condensateurs



Technologies à plusieurs couches de métal



- ex1:



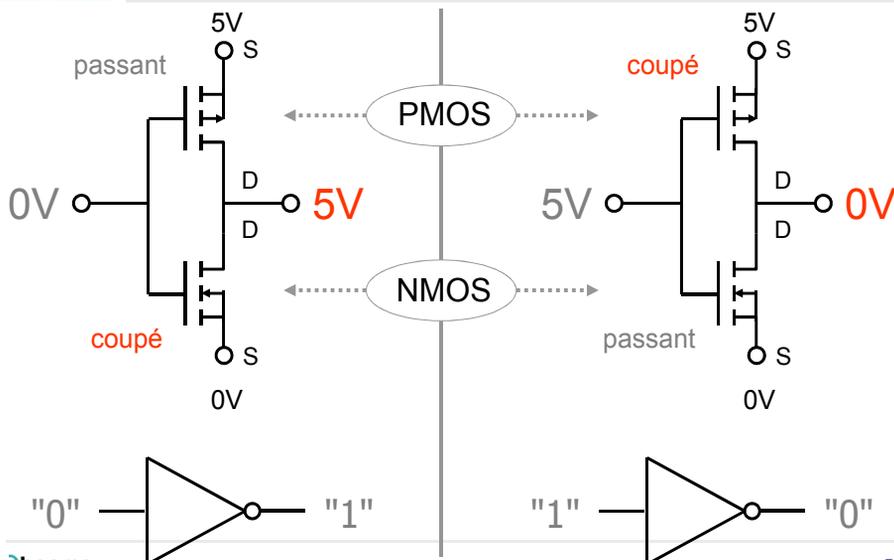
- ex2: Xilinx Virtex 5 = 12 couches métal

13.4: Technologies CMOS

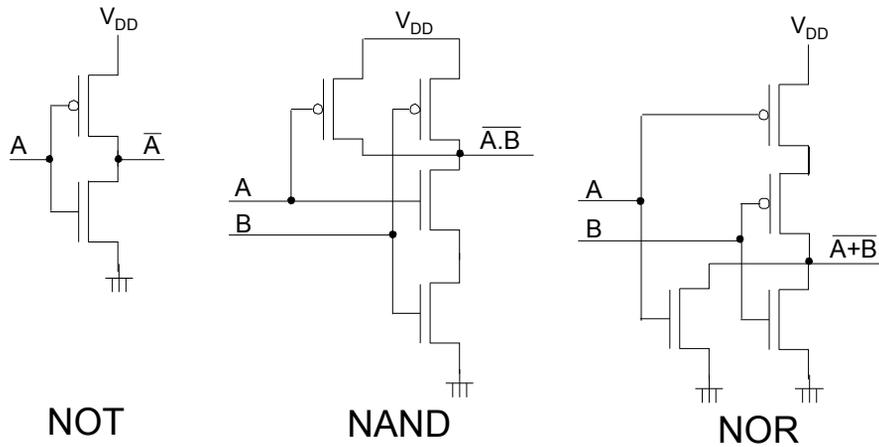
La technologie CMOS est plus performante

- CMOS = complementary MOS
 - possibilité d'implanter simultanément des transistors nMOS et pMOS
- circuits numériques
 - meilleures performances
 - consommation nettement réduite
- circuits analogiques
 - performances comparables au bipolaire

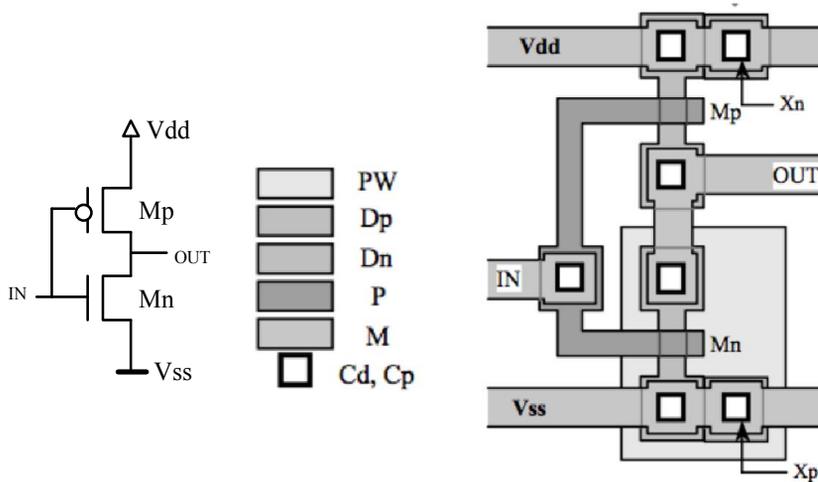
Rappel (techno CMOS): Porte NOT = NMOS + PMOS



Rappel (techno CMOS): Portes NAND et NOR

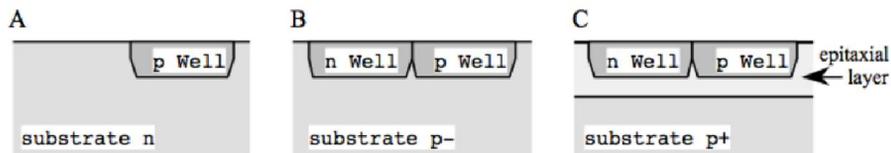


Inverseur: schéma et layout en CMOS



- Technologie présentée
 - technologie à puits p (pWell) et une couche de métal
- éléments implantables
 - transistors MOS à canal n et à canal p
 - puits de type p
 - conducteurs en métal, en polysilicium, en diffusion n et en diffusion p
 - contacts métal-diffusion et métal-polysilicium

- puits = zone du substrat à dopage modifié

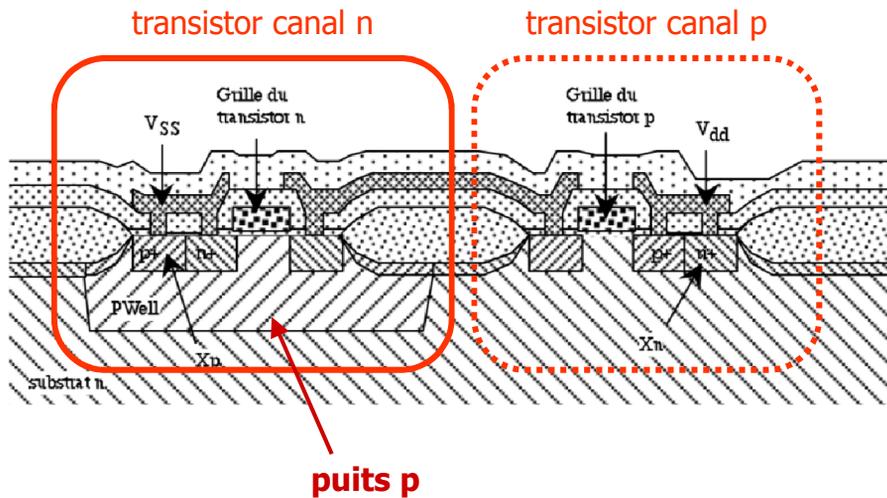


technologie à un
seul type de puits

technologie à deux
types de puits

technologie à deux types
de puits implantés dans
une couche épitaxiale

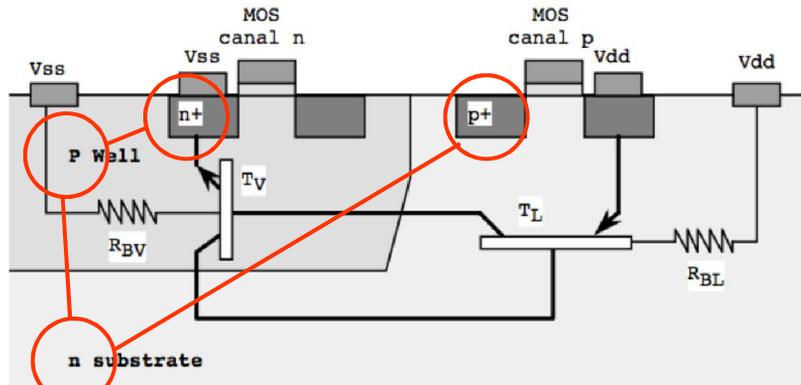
Inverseur CMOS en coupe (8 masques)



13.5: Technologies CMOS: quelques particularités

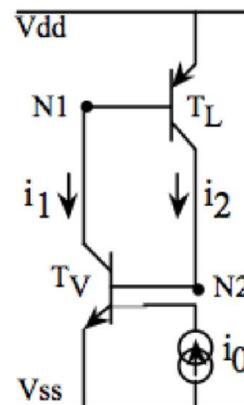
Le latch-up est un phénomène destructif typique des CMOS

- 2 transistors MOS complémentaires connectés entre Vdd et Vss forment un **thyristor** parasite
 - thyristor = structure npnp = 2 bipolaires (nnp + pnp)



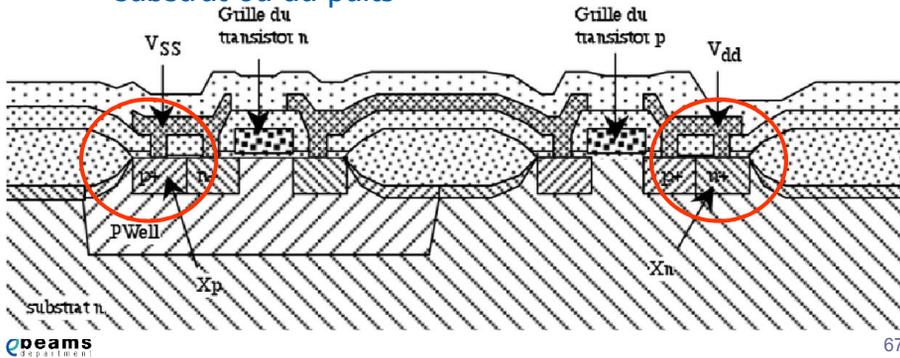
Le latch-up est un phénomène destructif typique des CMOS

- électriquement, on obtient le schéma ci-contre
- si un des deux T se met à conduire, un phénomène d'emballement du courant entre Vdd et Vss amène la destruction du circuit
 - (si le produit des gains est supérieur à l'unité)



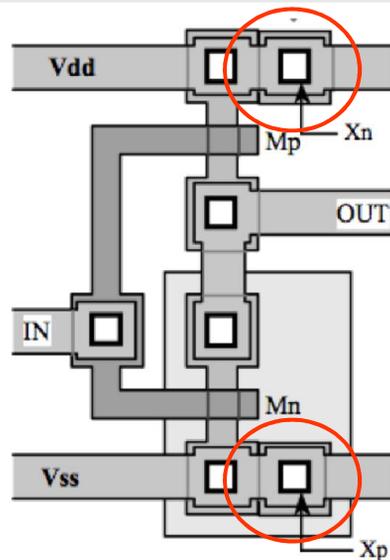
Solution: les contacts de substrat

- contact de substrat:
 - zone de même type de dopage que le substrat ou le puits où elle est implantée
 - étant connecté à Vdd ou Vss, fixe le potentiel du substrat ou du puits

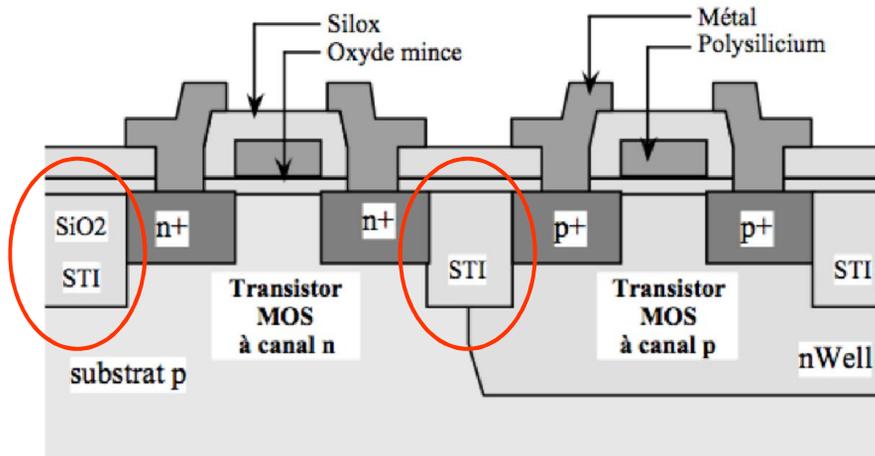


Solution: les contacts de substrat

- le fait de mettre un contact de substrat à côté de tout contact source d'un MOS revient approximativement à court-circuiter la base et l'émetteur du transistor bipolaire correspondant, qui est alors empêché de conduire

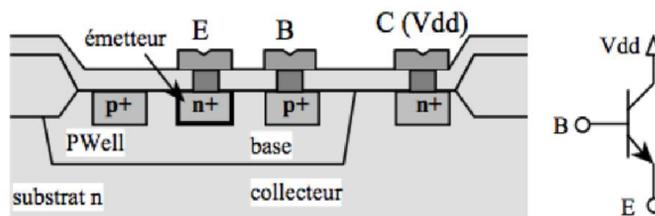


Solution #2: isolation par tranches (STI: "shallow trench isolation")



Autres éléments implantables: transistor bipolaire

- cfr latch-up...
- transistor implanté
 - transistor bipolaire "vertical" de gain assez élevé
 - N.B.: la diffusion p+ (contact de base) entoure l'émetteur
 - collecteur impérativement connecté à Vdd ou Vss



- éléments implantables
 - diodes
 - diodes Zener
- utilisées notamment dans les circuits de protection d'entrée/sortie

- utile dans les circuits analogiques
 - fixation du gain d'un ampli
 - modification du comportement fréquentiel
 - etc
- difficultés
 - demandent une surface importante
 - valeurs peu précises

Autres éléments implantables: R, L, C

- selfs et transformateurs
 - ne s'implantent pas...
 - ...sauf à très haute fréquence (>1GHz)
- les condensateurs
 - s'implantent souvent (diélectrique = oxyde mince)
 - maximum qqes pF
- les résistances
 - ok pour faibles valeurs (max k Ω) et faible précision
 - alternatives
 - MOS à potentiel de grille fixe (R_{DSON})
 - circuit à capacités commutées pour la réalisation de filtres

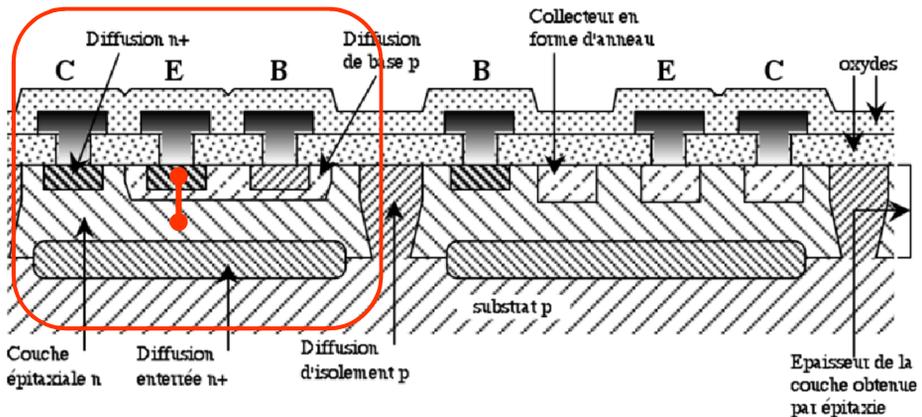
Technologie CMOS: bilan

- technologie de loin la plus répandue
 - faible coût
 - faible consommation (numérique)
 - analogique: moins bon que bipolaire mais... de moins en moins
- inconvénients
 - latch-up
 - occupation en surface élevée (% nMOS)

13.6: Technologies bipolaires

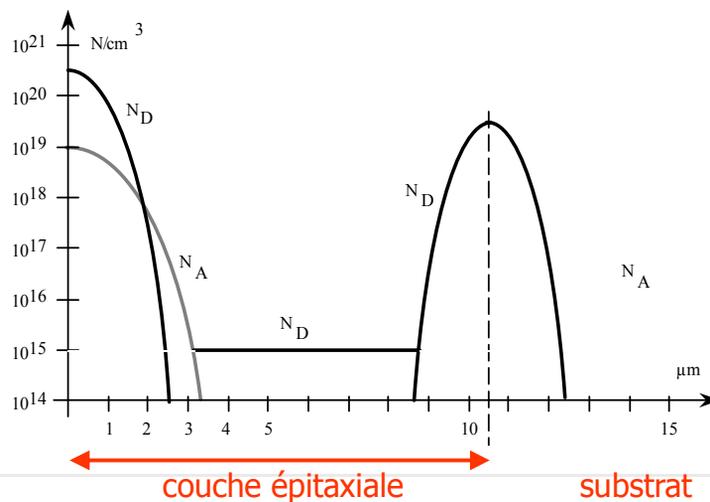
1) Transistor npn

transistor npn
"vertical"



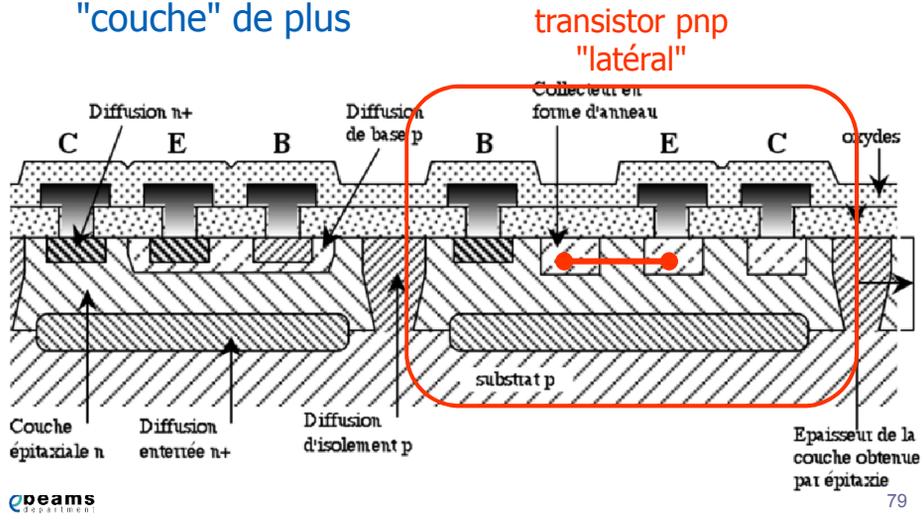
- C entoure B qui entoure E
 - base doit être mince
 - le contrôle des dopages est plus précis selon l'axe vertical
- => configuration sensiblement différente de celle utilisée en MOS
 - structure verticale
 - transistor dissymétrique (E/C)

- profil de dopage (échelle logarithmique!)



2) Transistor pnp: structure horizontale

- car vertical sur substrat p demanderait une "couche" de plus



2) Transistor pnp: structure horizontale

- transistor latéral: propriétés nettement moins bonnes que transistor vertical
 - moins bonne disposition géométrique des électrodes
 - dopages inadéquats
- technologies à deux types de transistors verticaux possibles
 - notamment "shallow trench isolation"
 - mais plus coûteux

- MOS
 - plus grand niveau d'intégration
 - en surface: T_{BIP} "minimum" = 10x T_{MOS} "minimum"
- transistors bipolaires
 - contrôlent des courants plus importants
 - supportent des tensions de travail plus élevées