

Chapitre 7

Les transistors à effet de champ ou FET (Field Effect Transistors)

Introduction

- ▶ **Field Effect Transistor**
 - ◆ transistor où le fonctionnement repose sur la modulation d'un courant par des effets électrostatiques provoqués par la tension sur l'électrode de commande
 - ◆ un seul type de porteur de charges : majoritaires
- ▶ **importance**
 - ◆ 95% du volume des semi-conducteurs actuels
 - ◆ part de marché croissante par rapport aux bipolaires
 - toute l'électronique numérique
 - quasi toute l'électronique analogique
 - densité importante
 - "tout transistors"

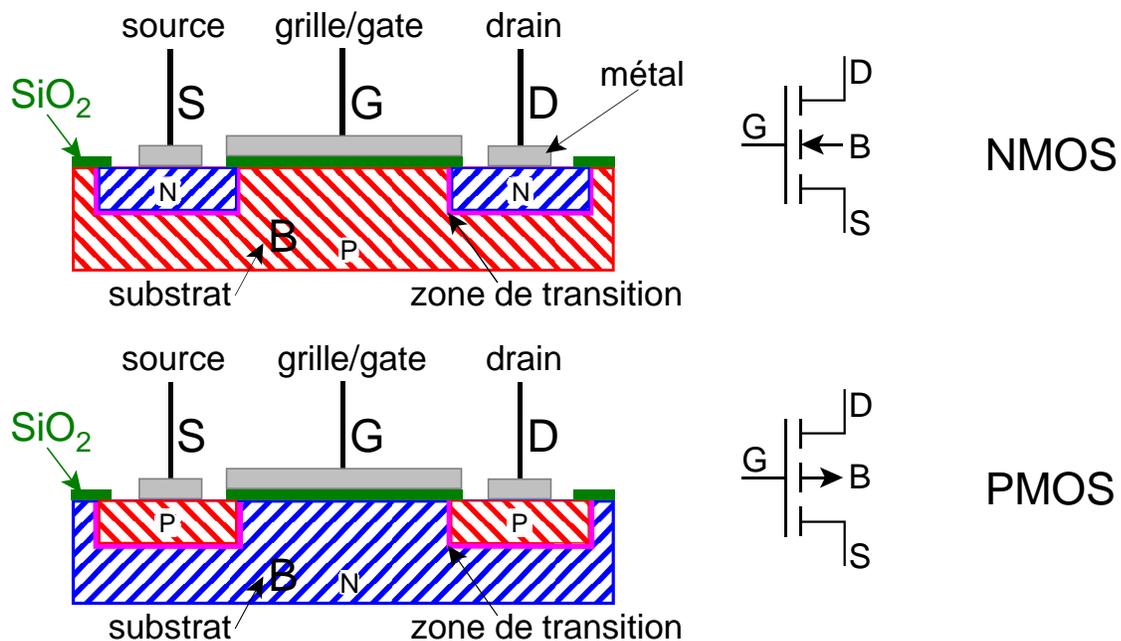
FET : plan

PLAN

- ▶ **MOSFET à enrichissement**
 - ◆ **notion de MOS, NMOS**
 - ◆ **notion de canal**
 - ◆ **caractéristiques statiques**
 - ◆ **condensateurs internes**
 - ◆ **impédance d'entrée, précautions utiles**
 - ◆ **polarisation du substrat**
 - ◆ **PMOS**
- ▶ MOSFET à déplétion
- ▶ JFET
- ▶ conclusions

MOSFET à enrichissement

MOS = **M**etal **O**xyde **S**emi-conductor



Les deux structures de transistor MOSFET sont représentées dans cette figure.

MOSFET est l'acronyme de **M**etal **O**xyde **S**emiconductor **F**ield **E**ffect **T**ransistor c.-à-d. un transistor à effet de champ basé sur 3 couches principales :

- un **M**étal
- de l'**O**xyde de Si
- un **S**emi-conducteur

Dans un **substrat** (*body*) semi-conducteur, on diffuse deux régions fortement dopées appelées **source** et **drain**. Ces régions sont ensuite métallisées et reliées par des fils dits "de *bonding*" aux bornes externes du transistor.

La région du substrat entre source et drain est recouverte d'une mince couche (typiquement de 2nm à 50nm) d'oxyde de silicium isolant, elle-même recouvert de métal (ou de silicium polycristallin conducteur). Cette troisième électrode porte le nom de **grille** ou **gate** en anglais.

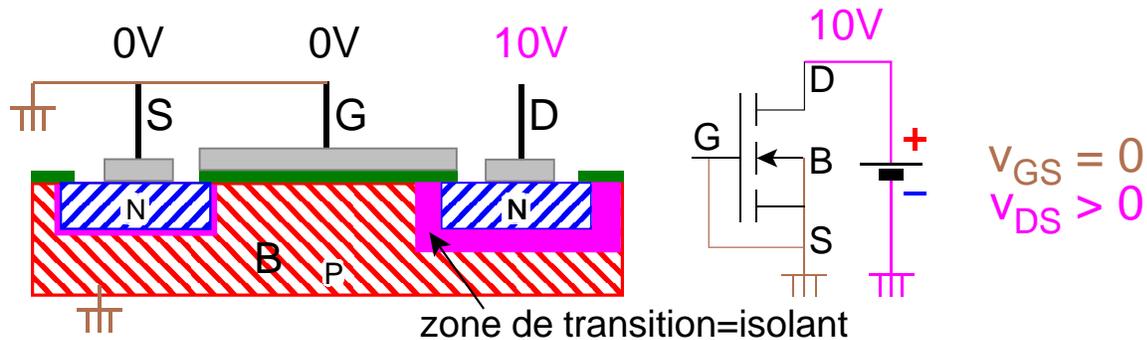
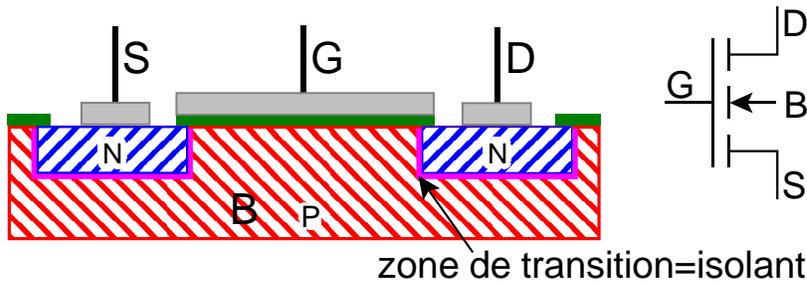
Le **substrat** constitue la 4^{ème} électrode et est généralement porté au potentiel de la source. Dans certaines applications, le substrat peut être polarisé séparément de la source.

Deux structures sont possibles suivant le type de substrat. Le transistor porte le nom correspondant au type de la source et du drain :

- NMOSFET (ou **NMOS**) pour un substrat P et une source N et un drain N
- PMOSFET (ou **PMOS**) pour un substrat N et une source P et un drain P

NMOS à enrichissement

grille non polarisée => pas de courant de drain



Prenons un NMOS et relierons

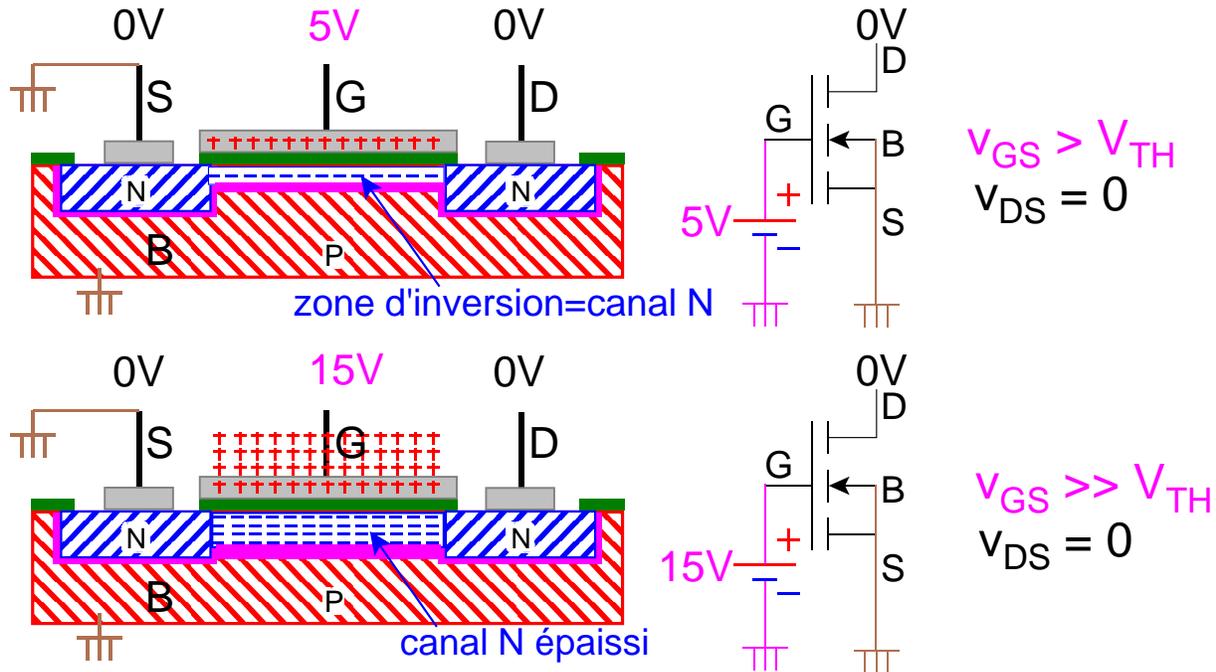
- la source, le substrat et la grille à la masse
- le drain à une tension positive

Le transistor ne conduit pas, car on trouve une **jonction PN polarisée en inverse entre drain et substrat**. La **zone de transition** entre drain et substrat se comporte comme un **isolant**, car elle est très pauvre en charges mobiles. On obtient donc un très faible courant de fuite (qq nA).

REM : la deuxième jonction entre source et substrat présente également une zone déplétée qui contribue à l'isolation, mais son épaisseur est plus faible, car la jonction S-B n'est pas polarisée en inverse (elle est polarisée à zéro, puisque ces deux électrodes sont au même potentiel).

NMOS à enrichissement

création d'un canal si $V_{GS} > \text{seuil } V_{TH}$



Polarisons progressivement la grille positivement par rapport au substrat, sans polariser le drain, un champ électrique vertical s'installe. La grille, l'oxyde et le substrat forment un condensateur qui se charge à une tension égale à la tension extérieure appliquée.

- si la **ddp entre G et S=B est inférieure à un seuil $V_{TH}^{(1)}$** ,
 - le champ électrique repousse les trous majoritaires du substrat vers le bas
 - la charge positive amenée sur la grille est compensée par les ions négatifs du substrat
- si la **ddp entre G et S=B est supérieure à un seuil V_{TH}** ,
 - le champ électrique attire les électrons minoritaires du substrat et surtout les majoritaires du drain et de la source (remarquer le léger recouvrement de la grille au-dessus de la source et du drain); la **densité d'électrons** attirés devient **supérieure au dopage du substrat P** et il se crée ainsi une couche mince appelée **zone d'inversion** car le type de semi-conducteur est passé de P à N, constituant ainsi un **canal** conducteur reliant drain et source
 - une mince zone déplétée se forme entre le canal et le substrat
 - la charge positive amenée sur la grille est compensée majoritairement par les électrons du canal (et par quelques ions négatifs du substrat)

Le canal est donc créé sous l'action du champ électrique d'où le nom de **transistor à effet de champ** ou **Field Effect Transistor**. Plus on polarise la grille par rapport au substrat, plus le canal s'épaissit, donc sa section augmente et la résistance entre le drain et la source du transistor passant (appelée R_{DSon}) diminue.

Dans le symbole du transistor, la flèche attachée au substrat indique le type du canal, comme pour une diode.
 canal = pointe de la diode => canal N
 canal = flèche de la diode => canal P

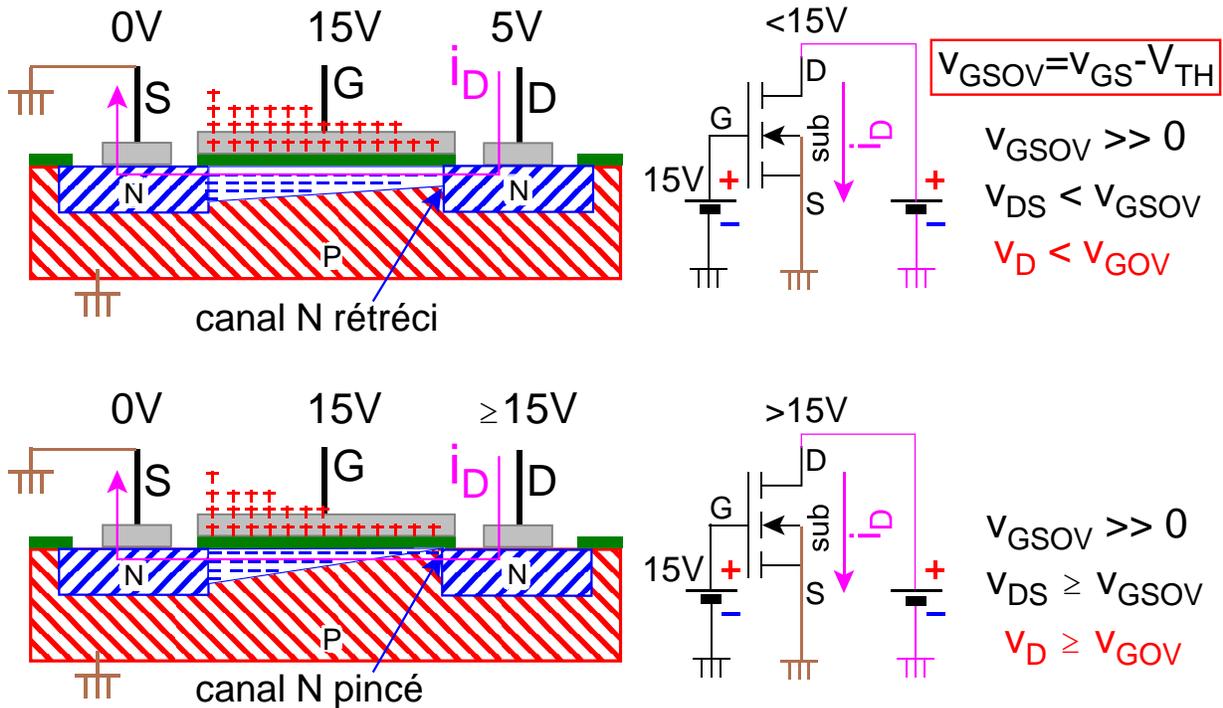
REM1 Insistons sur la nécessité de polariser la grille par rapport au substrat pour créer le canal. La vraie tension de commande est la tension $V_{GB}=V_G-V_B$. Dans l'immense majorité des cas, la source et le substrat sont au même potentiel (via un petit prolongement de la métallisation). Il n'y a alors plus que 3 électrodes (Drain, Source et Grille) et **la tension de commande usuelle est V_{GS}** .

REM2 la tension de commande utile est $(V_{GS}-V_{TH})$ que nous noterons par la suite V_{GSov} ou V_{Ov} ($Ov = Overdrive$)

⁽¹⁾ Ce seuil est de l'ordre de qq dixièmes de volts pour de petits transistors à qq volts pour des MOSFET de puissance. L'indice TH vient de l'anglais THreshold (=seuil)

NMOS en conduction

polarisation du drain → courant de drain → pincement



Rajoutons maintenant une source de tension qui **polarise le drain positivement par rapport à la source**, et donc aussi par rapport au substrat. Un champ électrique horizontal apparaît, qui va provoquer un **courant de conduction** d'électrons de la source vers le drain, correspondant à un courant conventionnel allant du drain à la source.

Ce courant dépendra :

- de v_{GSOV} : une augmentation de v_{GSOV} augmente l'épaisseur du canal et favorise donc le courant
- de v_{DS} : une augmentation de v_{DS} accélère les électrons et augmente donc le débit, c'est-à-dire le courant

La croissance du courant proportionnelle à la tension v_{DS} est valable tant que la tension v_{DS} reste faible par rapport à v_{GSOV} . Lorsque v_{DS} est voisin de v_{GSOV} , il n'y a donc plus de différence de potentiel supérieure à V_{TH} pour ouvrir le canal à la frontière du drain, alors que du côté de la source, la polarisation grille-source est toujours égale à v_{GSOV} .

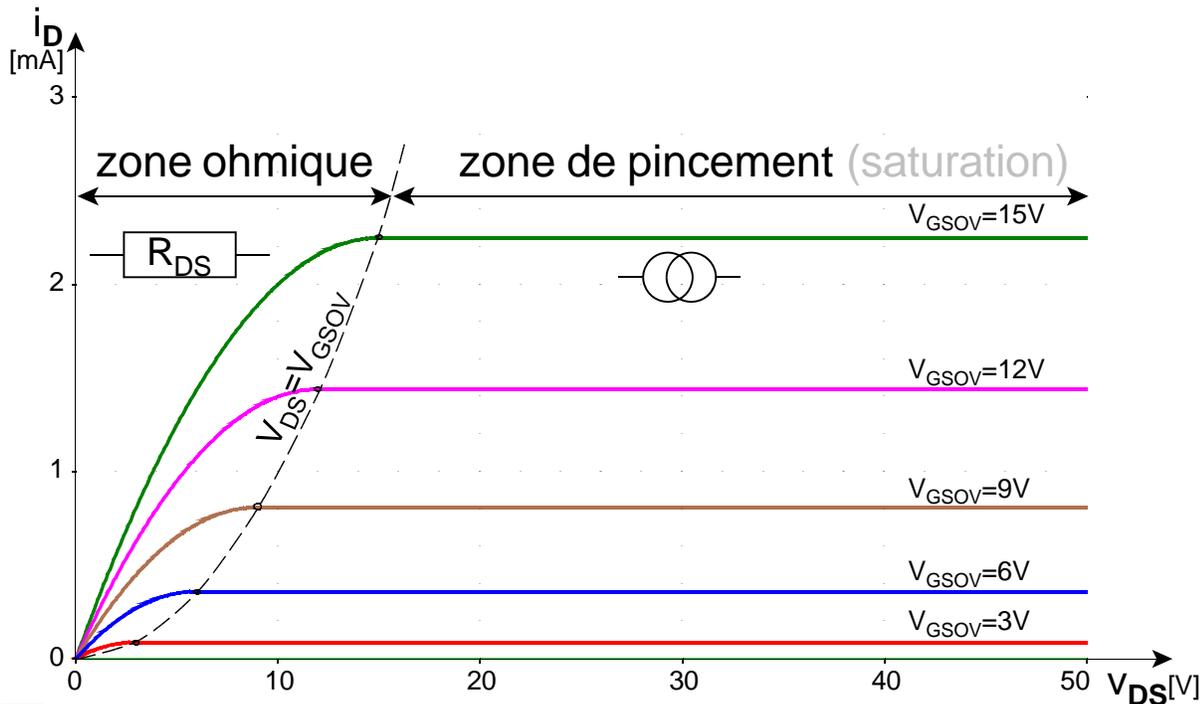
La différence de potentiel entre grille et substrat varie donc en chaque point, ce qui entraîne une variation de la profondeur du canal conducteur. La profondeur est maximale près de la source, alors qu'elle subit un **pincement (pinch-off)** du côté du drain.

Le pincement du canal ne signifie pas que le courant s'annule, mais que le courant devient indépendant de la tension de drain.

REM : pour simplifier le dessin, les zones de transition ont été omises; elles le seront toujours dans la suite quand elles ne jouent pas de rôle particulier.

NMOS caractéristique de sortie $i_D(v_{DS})$

2 zones séparées par une frontière



Si on relève expérimentalement le réseau de caractéristiques $i_D(v_{DS})$ avec v_{GSOV} comme paramètre, on obtient un réseau de courbes où apparaissent deux grandes zones de fonctionnement

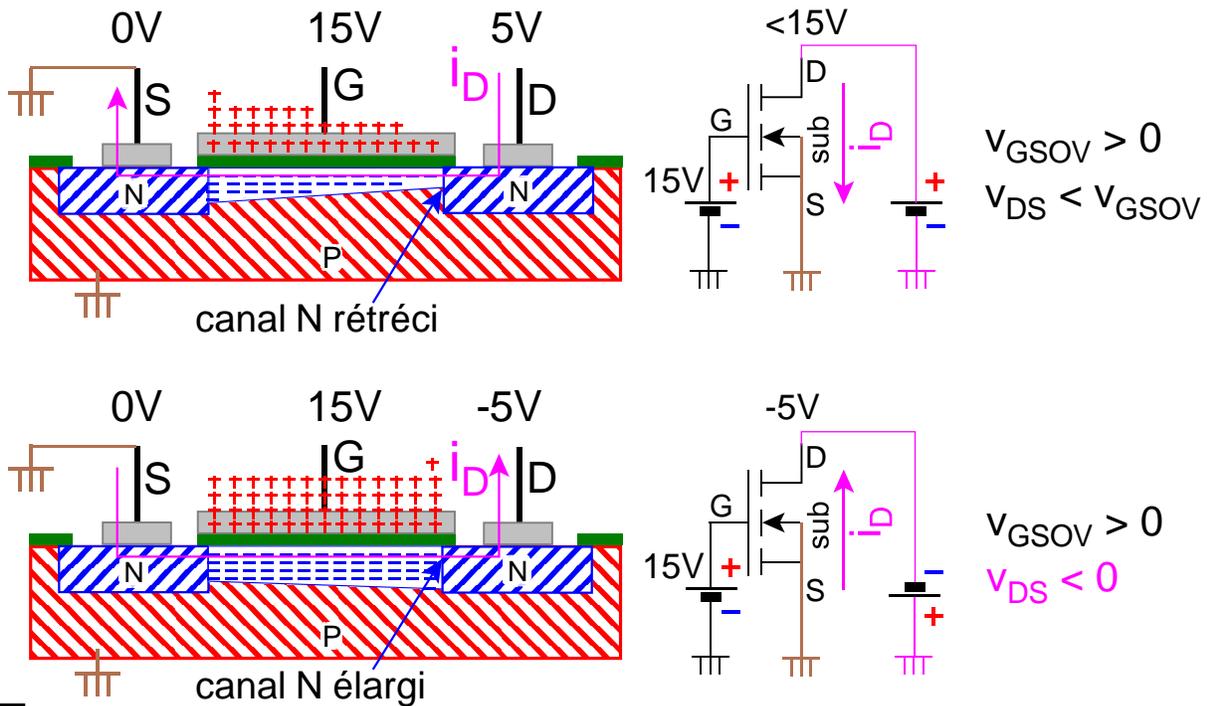
- à gauche de la courbe frontière où $v_{DS} = v_{GSOV} = v_{GS} - V_{TH}$, le transistor est en **région ohmique** c.-à-d. que, pour une tension v_{GS} donnée, le courant augmente avec la tension de drain v_{DS} .
 - pour de faibles valeurs de v_{DS} (approximativement $v_{DS} < v_{GSOV}/2$), les courbes sont quasiment linéaires et le MOSFET est assimilable à une résistance R_{DSon} (traduite par l'inverse de la pente des courbes). R_{DSon} diminue lorsque l'on augmente v_{GSOV} , puisque la section du canal augmente
 - au-delà, la résistance drain-source R_{DS} n'est manifestement pas linéaire, elle augmente avec v_{DS} (ou avec le courant).
- à droite de la frontière où $v_{DS} = v_{GSOV}$, il y a **pincement** et l'on peut considérer le MOSFET comme une **source de courant** pilotée par la tension de grille, puisque le courant ne dépend plus de v_{DS} . On parle aussi de **saturation** qui signifie que le courant n'augmente plus.

Les deux termes "saturation" et "pincement" sont utilisés couramment.

Dans ce cours, nous utiliserons de préférence "pincement", qui est une particularité du MOSFET, pour ne pas confondre avec la saturation des BJT qui est la zone à faible v_{CE} où les deux jonctions BE et BC sont polarisées en direct.

NMOS

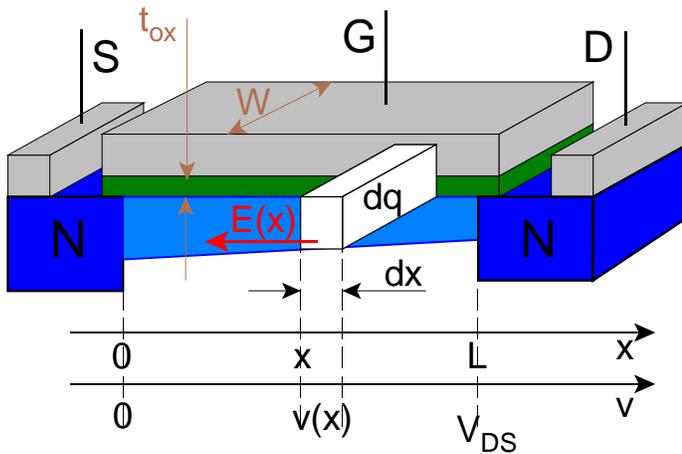
polarisation négative du drain : réversibilité



Normalement, le NMOS s'utilise en polarisant le drain positivement par rapport à la source. Vu son principe, rien n'empêche de le polariser négativement. Dans ce cas, il y a élargissement du canal près du drain, au lieu du pincement et le transistor se comporte comme lorsque v_D est positif et inférieur à v_G . Le courant change évidemment de sens.

NMOS $i_D(v_{DS})$

calcul en région ohmique $v_{DS} < v_{GSOV}$ (1)



$$\text{SiO}_2 \Rightarrow C_{ox} = \epsilon_{ox} / t_{ox} \text{ [F/m}^2\text{]}$$

▶ tranche dx

$$\diamond S = W \cdot dx$$

$$\diamond C = C_{ox} \cdot W \cdot dx$$

$$\diamond dq = -C \cdot [V_{GSOV} - v(x)] \quad (1)$$

$$\diamond E = -dv/dx \quad (2)$$

$$\diamond v_{drift} = dx/dt = -\mu_n E \quad (3)$$

$$\diamond dq = -C_{ox} W dx [V_{GSOV} - v(x)] \quad (4)$$

$$\textcircled{2} \& \textcircled{3} \rightarrow dx/dt = \mu_n dv/dx \quad (5) \text{ vitesse de dérive}$$

$$\textcircled{4} \rightarrow |dq/dx| = C_{ox} W [V_{GSOV} - v(x)] \quad (6) \text{ charge/unité de longueur}$$

On peut déterminer analytiquement la relation qui lie i_D à v_{DS} pour une valeur donnée de V_{GS} . Commençons par le faire en région ohmique, où le canal n'est pas pincé ($v_{DS} < v_{GSOV}$).

Considérons la zone de canal de longueur L . Pour calculer le courant, il faut faire intervenir la profondeur W du transistor, comme le montre cette figure en perspective.

Le principe du calcul est simple

- la polarisation positive de la grille par rapport au substrat V_{GSOV} crée un condensateur dont les charges **négligées sont mobiles**, puisque ce sont des électrons libres du canal
- la polarisation positive du drain par rapport à la source v_{DS} crée un champ électrique **E horizontal** qui met en mouvement ces électrons et crée le courant de drain

Le calcul du courant de drain doit se faire par intégration car nous avons vu que la tension aux bornes du condensateur n'est pas constante au long du canal. Nous allons donc considérer une **tranche de canal élémentaire dx** à l'abscisse x

- son *potentiel* est $v(x)$
- sa *surface* horizontale vaut Wdx
- la *capacité par unité de surface* $C_{ox} = \epsilon_{ox} / t_{ox}$ où ϵ_{ox} et t_{ox} sont la permittivité et l'épaisseur de l'oxyde SiO_2 ⁽¹⁾
- sa *capacité* vaut $C_{ox} W dx$
- la différence de potentiel sur le condensateur = tension de grille - tension de canal = $V_{GSOV} - v(x)$
- elle contient une *quantité de charge* (négative puisque formée d'électrons) $dq = -C_{ox} W dx [V_{GSOV} - v(x)]$
- le *champ* $E(x) = -dv/dx$ pointe vers la gauche, en effet $v_D > v_S \Rightarrow dv/dx > 0$
- la *vitesse de dérive* des électrons est due à la *mobilité* (il s'agit ici d'une *mobilité dite de surface*) des électrons du canal et $dx/dt = -\mu_n E(x)$ elle est opposée au champ puisque les électrons portent une charge négative; les électrons sont évidemment attirés par le drain dont le potentiel est positif.

⁽¹⁾ ordres de grandeur

$$\epsilon_{ox} = 3.9 \epsilon_0 = 3.45 \cdot 10^{-11} \text{ F/m} \quad t_{ox} = 1..50 \text{ nm}$$

$$\text{Pour } t_{ox} = 10 \text{ nm} \Rightarrow C_{ox} = 3.45 \cdot 10^{-3} \text{ F/m}^2 = 3.45 \text{ fF}/\mu\text{m}^2$$

NMOS $i_D(v_{DS})$

calcul en région ohmique $v_{DS} < v_{GSOV}$ (2)

$$i_D = \left| \frac{dq}{dx} \right| \frac{dx}{dt} \quad (7) \quad \frac{dx}{dt} = \mu_n \frac{dv}{dx} \quad (5)$$

$$\frac{dq}{dx} = C_{ox} W [v_{GSOV} - v(x)] \quad (6)$$

$$i_D = \mu_n C_{ox} W [v_{GSOV} - v(x)] \frac{dv}{dx} \quad (8)$$

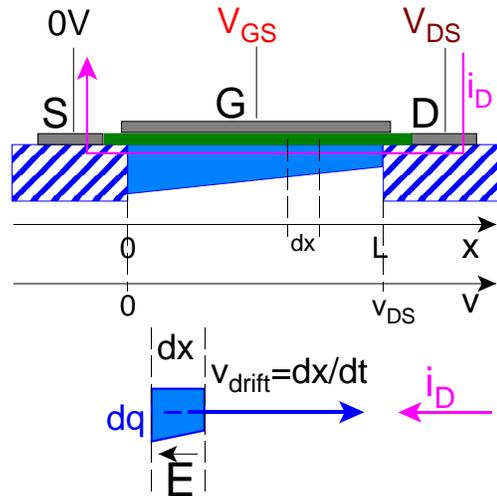
$$i_D dx = \mu_n C_{ox} W [v_{GSOV} - v(x)] dv \quad (9)$$

$$\int_0^L i_D dx = \int_0^{v_{DS}} \mu_n C_{ox} W [v_{GSOV} - v(x)] dv \quad (10)$$

$$i_D \cdot L = \mu_n C_{ox} W [v_{GSOV} \cdot v_{DS} - \frac{1}{2} v_{DS}^2] \quad (11)$$

$$i_D = (\mu_n C_{ox}) \frac{W}{L} [v_{GSOV} \cdot v_{DS} - \frac{1}{2} v_{DS}^2] \quad (12)$$

$$i_D = k_n' \frac{W}{L} [v_{GSOV} \cdot v_{DS} - \frac{1}{2} v_{DS}^2] \quad (13)$$



Nous sommes maintenant en mesure de **calculer le courant de drain i_D** . Celui-ci est le courant conventionnel allant du potentiel le plus élevé (V_{DS} au drain) au potentiel le plus bas (0V à la source); ce courant est positif dans le sens défini sur la figure (de droite à gauche), car il correspond au déplacement de charges négatives dans le sens gauche-droite.

Par définition, le courant de drain conduction des électrons vaut en module

$$i_D [\text{Cs}^{-1}] = e[\text{C}] n[\text{m}^{-3}] S[\text{m}^2] v_{\text{drift}}[\text{ms}^{-1}]$$

où e est la charge de l'électron

n est la densité volumique d'électrons

S la surface à travers laquelle on débite

v_{drift} est la vitesse de dérive due au champ E : $v_{\text{drift}} = \mu E = dx/dt$

Lors du calcul de la conductivité du Si nous avons calculé le courant via la densité surfacique $J_S [\text{Am}^{-2}]$

$$i [\text{Cs}^{-1}] = \{ e[\text{C}] \cdot n[\text{m}^{-3}] \cdot v_{\text{drift}}[\text{ms}^{-1}] \} \cdot S[\text{m}^2] = J_S [\text{Am}^{-2}] \cdot S[\text{m}^2]$$

Ici la surface du canal est variable et inconnue et cette expression n'est pas appropriée, nous allons regrouper les termes autrement pour exprimer le **courant i_D** comme le **produit** de la **densité de charge par unité de longueur du canal J_L** par la **vitesse de dérive** des électrons

$$i [\text{Cs}^{-1}] = \{ e[\text{C}] \cdot n[\text{m}^{-3}] \cdot S[\text{m}^2] \} \cdot v_{\text{drift}}[\text{ms}^{-1}] = J_L [\text{Cm}^{-1}] v_{\text{drift}}[\text{ms}^{-1}]$$

or

$$J_L = |dq/dx| \quad \text{et} \quad v_{\text{drift}} = |dx/dt|$$

et on retrouve

$$i_D = |dq/dx| \cdot |dx/dt| = dq/dt \quad (7)$$

Le courant se conserve en tout point x dont **la densité de charges et la vitesse varient en sens opposé**

Il n'y a plus qu'à substituer (5) et (6) dans (7) pour obtenir (8), que l'on réécrit sous la forme (9) et intégrer les deux membres avec comme limites 0 et L pour x et 0 et v_{DS} pour v .

NMOS $i_D(v_{DS})$

1 paramètre technologique + 1 paramètre géométrique

$$i_D = k'_n \frac{W}{L} \left[v_{GS0V} \cdot v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

$\frac{W}{L}$ largeur du transistor
L longueur du canal

$k'_n = \mu_n C_{ox}$ paramètre de transconductance [A/V^2]

- ▶ L_{min} qualifie la technologie (qq μm ... qq 10nm)
- ▶ W/L
 - ♦ fixe $i_D(V_{DS})$
 - ♦ $L_{min} \Rightarrow W_{min}$

La caractéristique $i_D(v_{DS})$ pour une valeur donnée de V_{GS0V} et $V_{DS} < V_{GS0V}$ est donc quadratique.

Elle comprend 2 paramètres :

$k'_n = \mu_n C_{ox}$ produit de la mobilité de surface des électrons par la capacité d'oxyde par unité de surface. C'est donc un paramètre technologie dépendant du substrat, de l'oxyde et de son épaisseur il porte de nom de **paramètre de transconductance** (*transconductance process parameter*) parce qu'il détermine celle-ci

W/L **rapport d'aspect** ou **aspect ratio**

L est la **longueur** (*Length*) du canal. Le chiffre le plus utilisé pour qualifier une technologie MOS est L_{min} , longueur minimal réalisable pour le canal. Pour les premiers circuits intégrés, elle était de plusieurs μm . Lorsque l'on est passé en dessous du μm on a parlé de technologie **submicronique** (*submicron*). En dessous de 100nm, on parle de technologie **profondément submicronique** (*deep-submicron*).

W est la **largeur** (*Width*) du transistor et permet, via le rapport W/L de fixer les caractéristiques. Il existe une largeur minimale W_{min} fixée par L_{min}

NMOS expression de i_D dans les 2 zones

zone ohmique / zone de pincement

- $V_{DS} < V_{GSOV}$: **résistance non-linéaire**

$$i_D = k'_n \frac{W}{L} \left[V_{GSOV} \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (13)$$

$$r_{DS} = \left[\frac{di_D}{dV_{DS}} \right]^{-1} = \left[k'_n \frac{W}{L} (V_{GSOV} - V_{DS}) \right]^{-1} \quad (14)$$

$V_{DS} \ll 2V_{GSOV}$ = résistance inversement prop à V_{GSOV}

$$r_{DS} = \left[k'_n \frac{W}{L} V_{GSOV} \right]^{-1} \quad (15)$$

- $V_{GSOV} = V_{DS}$: frontière parabolique du pincement

$$(13) \rightarrow i_D = \frac{1}{2} k'_n \frac{W}{L} V_{DS}^2 \quad (16)$$

- $V_{DS} \geq V_{GSOV}$: **source de courant** (14) $\rightarrow r_{DS} \approx \infty$

$$(13) \rightarrow i_D \approx \frac{1}{2} k'_n \frac{W}{L} V_{GSOV}^2 \quad (17)$$

zone
ohmique ou
triode

pincement
saturation

Nous sommes maintenant en mesure de justifier l'allure des courbes $i_D(V_{DS})$ déjà présentées.

► **zone ohmique** $V_{DS} < V_{GSOV}$

le nom de cette zone vient de la croissance du courant avec v_{DS} , comme dans une résistance. On l'appelle également **zone triode**, par analogie avec d'anciens tubes électroniques à vide que les transistors ont remplacés depuis les années 1960

- pour des valeurs de $V_{DS} \ll 2V_{GSOV}$, le terme en v_{DS}^2 devient négligeable et la dépendance **linéaire**. le MOSFET est équivalent à une résistance dont la valeur est inversement proportionnelle à V_{GSOV} (ce qui est logique, puisque V_{GSOV} agit directement sur l'épaisseur et donc sur la section du canal)
- pour $V_{DS} < V_{GSOV}$, la dépendance $i_D(V_{DS})$ est quadratique, la résistance devient non-linéaire et croît de manière très importante avec le courant pour atteindre une valeur infinie lorsque $V_{DS} = V_{GSOV}$

► **zone de pincement** $V_{DS} \geq V_{GSOV}$

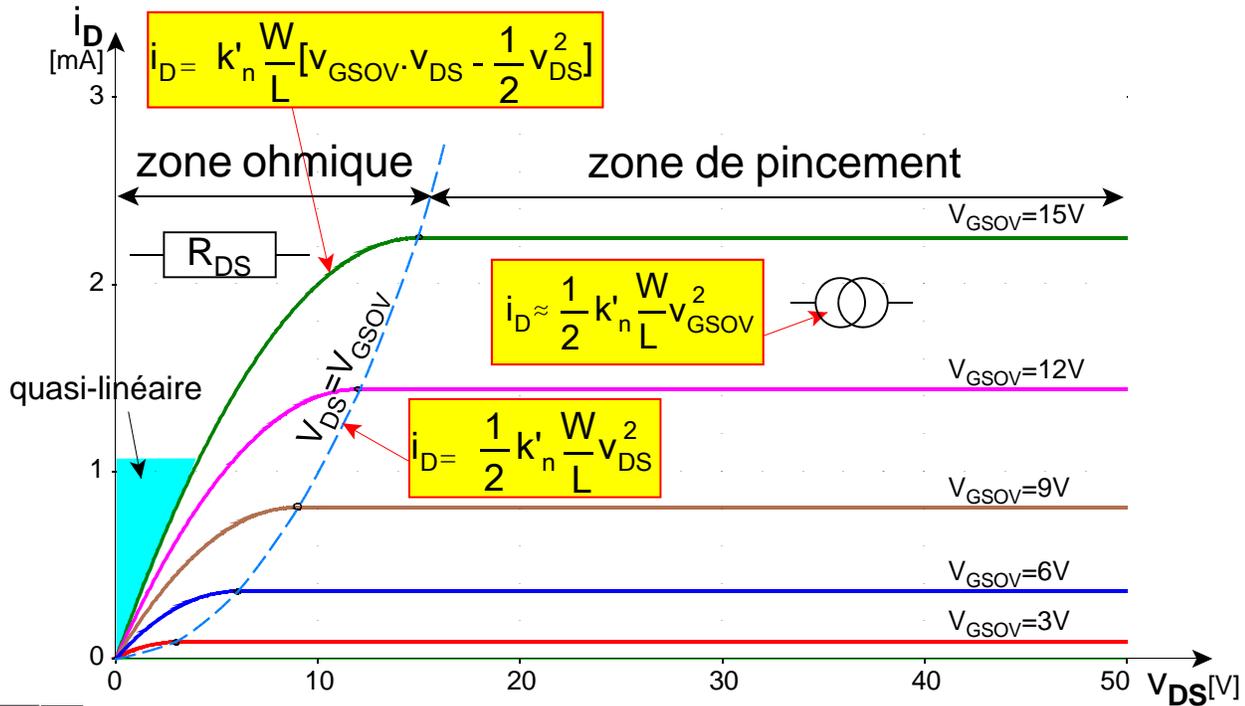
le nom de cette zone vient du pincement du canal. On l'appelle également **zone de saturation** parce que le courant i_D ne croît plus et devient quasi-indépendant de la tension v_{DS} ⁽¹⁾

- $V_{DS} = V_{GSOV}$, on est à la frontière des deux zones; en remplaçant v_{GSOV} par v_{DS} dans la relation (13) $i_D(V_{DS})$, nous avons l'équation de la courbe frontière, qui est parabolique.
- $V_{DS} > V_{GSOV}$ comme le courant ne croît presque plus, on prend en première approximation le courant à la frontière⁽¹⁾; en remplaçant v_{DS} par v_{GSOV} dans la relation (13) on voit que **le MOSFET est une source de courant pilotée par $(V_{GSOV})^2$** , ce qui correspond bien à r_{DS} tendant vers l'infini

(1) nous montrerons dans la suite du chapitre une dépendance pour les MOSFET dont le canal est court

NMOS $i_D(v_{DS})$

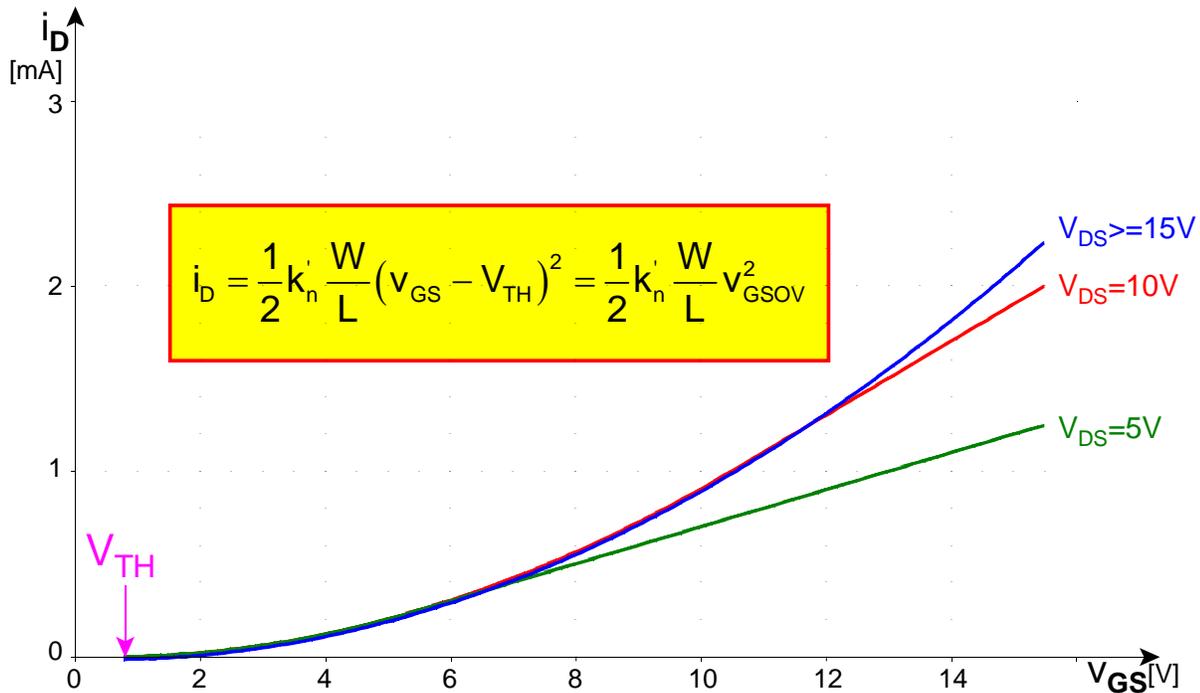
résumé



Sur cette figure, on retrouve les différentes zones et les équations correspondantes.

NMOS caractéristiques de transfert $i_D(v_{GS})$

valable en pincement c ad pour $v_{DS} > (v_{GS} - V_{TH})$



La caract eristique de transfert $i_D(v_{GS})$, avec v_{DS} comme param etre, montre le pilotage du courant de drain par la tension de grille.

On constate bien que, pour les valeurs de $v_{DS} > v_{GS}$, v_{DS} n'influence plus le courant.

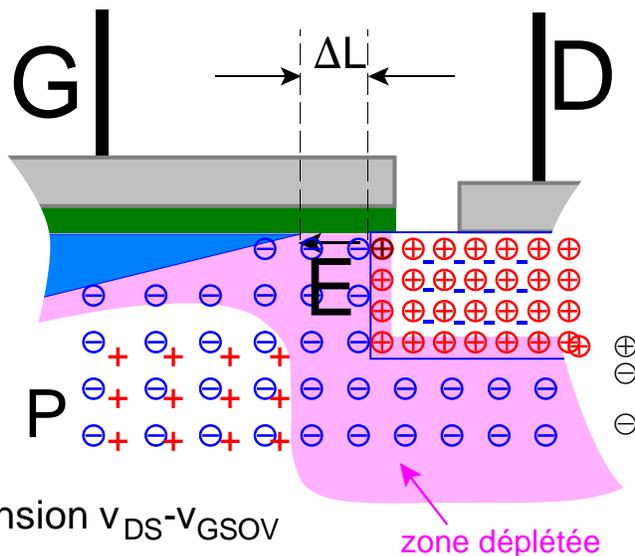
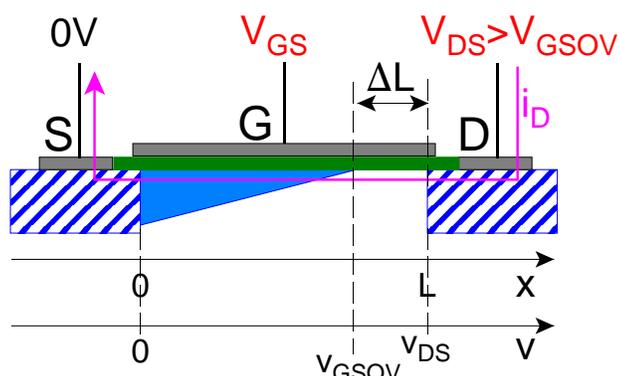
Pour v_{GS} inf erieur au seuil V_{TH} , le courant de drain reste nul. Ce seuil varie de quelques dixi emes de V  a quelques V suivant le type de transistor et son application.

La caract eristique de transfert est quadratique en fonction de la tension v_{GS} effective soit $v_{GSOV} = v_{GS} - V_{TH}$

On remarque bien sur les courbes o u $V_{DS} = 10V$ et $V_{DS} = 5V$ que l'expression quadratique n'est plus valable lorsque $v_{GSOV} \geq v_{DS}$ ou $v_{GS} \geq v_{DS} + V_{TH}$ c ad lorsque l'on quitte le pincement pour rentrer en zone ohmique.

NMOS en pincement

$v_{DS} \uparrow \Rightarrow$ canal plus court $\Rightarrow i_D \uparrow \Rightarrow$ source imparfaite



- ▶ $v_{DS} > v_{GSOV}$
 - ◆ zone déplétée avec chute de tension $v_{DS} - v_{GSOV}$
 - ◆ recul ΔL du point de pincement
 - ◆ $v_{DS} - v_{GSOV} =$ toboggan de potentiel pour e^- ($E \gg$)
 - ◆ $i_D \propto W/L$; si $v_{DS} \uparrow \Rightarrow L \searrow \Rightarrow i_D \uparrow$

! saturation mobilité

Nous avons considéré jusqu'à présent une zone de pincement dans laquelle le courant i_D est parfaitement constant et indépendant de v_{DS} (source de courant).

En réalité, le courant i_D va croître avec la tension v_{DS} et voici pourquoi.

Le point de pincement du canal correspond au point où le potentiel est égal à $V_{GSOV} = 0$.

- si $v_{DS} < V_{GSOV}$, ce point n'existe pas et le canal n'est pas pincé
- si $v_{DS} = V_{GSOV}$, ce point est à la frontière du drain
- si $v_{DS} > V_{GSOV}$, ce point recule vers la source et le canal se raccourcit d'une longueur ΔL

La jonction drain(N)-substrat(P) est polarisée en inverse ; elle est dissymétrique, car le drain est beaucoup plus dopé que le substrat. Lorsque v_{DS} augmente, la zone déplétée s'étend donc en majorité dans le substrat et fait reculer le canal. La longueur ΔL correspond à la longueur nécessaire pour que les charges fixes de la zone déplétée (essentiellement les ions négatifs du substrat) créent une barrière de potentiel égale à

$$v_{DS} - V_{GSOV}$$

Remarquons que cette barrière de potentiel est un toboggan pour les électrons du canal, le champ électrique très intense qui y règne a tendance à faire traverser les électrons. Le pincement du canal n'annule pas le courant, la densité de charge est très faible au point de pincement (mais pas nulle) et la vitesse y est très élevée (car E est très grand), ce qui permet de faire passer le débit d'électrons i_D . (Ce phénomène est analogue à l'aspiration des porteurs minoritaires de la base par le collecteur dans les BJT).

Nous savons que le courant i_D est proportionnel à W/L , donc inversement proportionnel à la longueur L du canal. Donc si v_{DS} croît, le canal se raccourcit et i_D augmente.

Nous allons maintenant voir ce phénomène de manière plus qualitative.

Remarquons enfin que dans les technologies actuelles les valeurs de champ E peuvent dépasser 10^6 V/m et que le courant maximum peut être affecté par la saturation de la mobilité (voir ch 1).

NMOS en pincement : dépendance $i_D(v_{DS})$

V_A ou λ et r_o quantifient l'imperfection de la source $i_D(V_{GS})$

limite de pincement $v_{DS} = v_{GS_{OV}}$ (17) $\rightarrow I_D = (k'_n/2)(W/L)v_{GS_{OV}}^2$

$L \Rightarrow L' = (L - \Delta L) = L(1 - \Delta L/L)$

supposons $\Delta L = \lambda' \cdot v_{DS}$

$\Delta L/L = (\lambda'/L) \cdot v_{DS} = \lambda \cdot v_{DS}$

$i_D = I_D / (1 - \Delta L/L) \approx I_D \cdot (1 + \Delta L/L)$

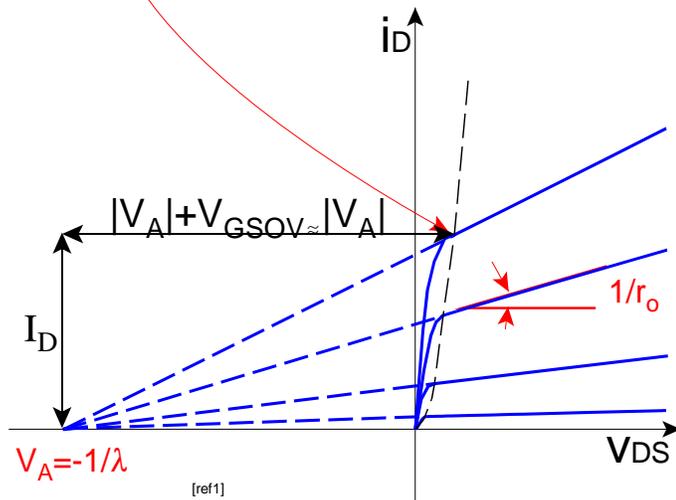
$$i_D \approx I_D \cdot (1 + \lambda \cdot v_{DS}) \quad (18)$$

$$r_o = \left[\frac{di_D}{dv_{DS}} \right]^{-1} = \frac{1}{\lambda I_D} = \frac{|V_A|}{I_D} \quad (19)$$

λ' donné

$L \searrow \lambda \nearrow r_o \searrow$ "canal court"

$V_A \propto L$



La modulation de largeur du canal par la tension v_{DS} est analogue à l'effet Early vu pour les transistors bipolaires.

on définit

$I_D = i_D(v_{DS} = v_{GS_{OV}})$ le courant à la frontière du pincement
 λ et λ' des paramètres technologiques de fabrication

La croissance de i_D avec v_{DS} incline les caractéristiques de sortie qui convergent en un point commun dont l'abscisse à l'origine est $V_A = -1/\lambda$, analogue à la tension de Early des BJT.

V_A est proportionnel à la longueur L du canal.

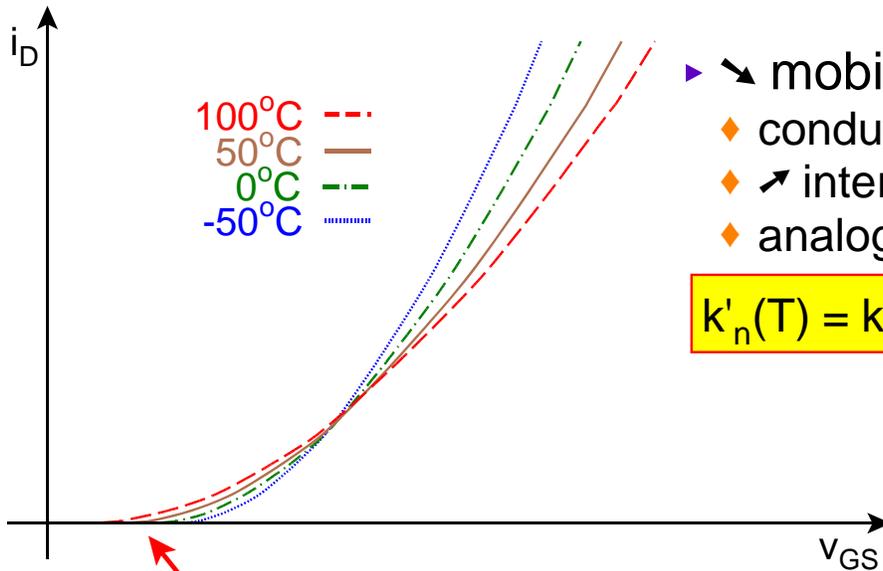
La pente des caractéristiques dans la zone de pincement est la résistance de sortie r_o de la source de courant I_D , au sens de Thévenin/Norton.

Les transistors MOSFET discrets étaient caractérisés par un effet de modulation de canal peu marqué, et donc on considérait le MOSFET dans la zone de pincement comme une excellente source de courant. On parle de MOSFET "à canal long"

La réduction de la taille des transistors dans les circuits intégrés augmente l'importance relative de la modulation ($\Delta L/L$ plus élevé) et les transistors "à canal court" sont plus affectés par ce phénomène.

NMOS caractéristique de transfert

2 effets contraires de la température



- mobilité
- conduction unipolaire
- interactions cristal
- analogue aux métaux

$$k'_n(T) = k'_n(T_o)[T/T_o]^{-1.5}$$

$$V_{TH}(T) = V_{TH}(T_o)[1 - \vartheta(T - T_o)] \quad \vartheta \approx 2..4 \text{ mV/K}$$

Les propriétés des MOSFET sont beaucoup moins affectées par la température que celles des bipolaires.

L'effet principal est la **diminution de la mobilité avec la température**. La conduction dans le canal du MOS est similaire à celle de métaux

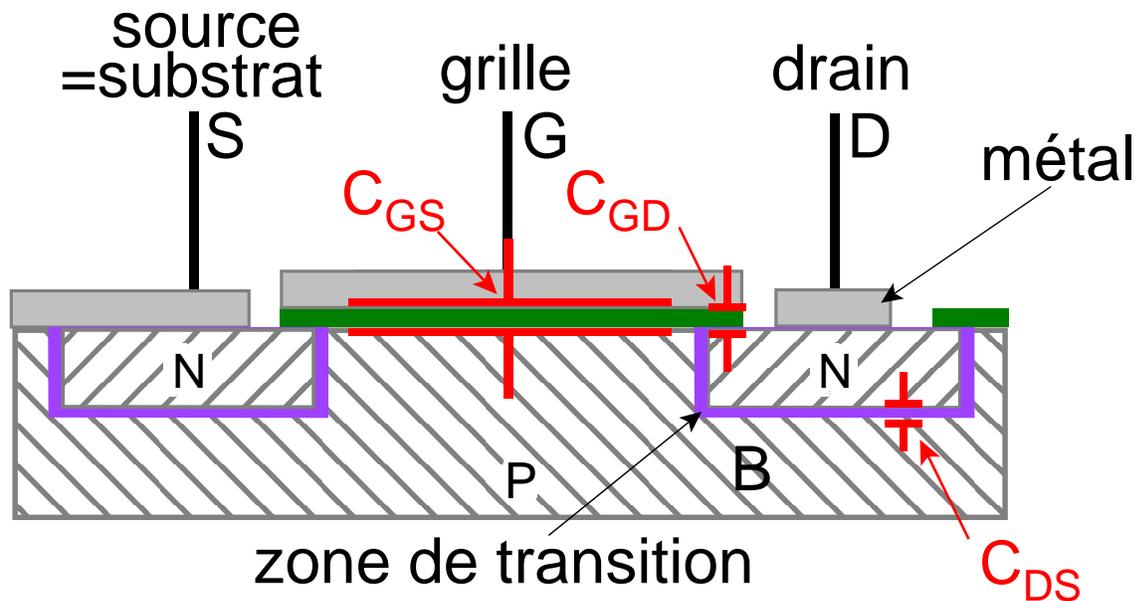
- un seul type de porteur (électrons pour les NFET, trous pour les PFET)
- une augmentation du freinage par les interactions avec les atomes du cristal qui vibrent plus entraîne une diminution de la vitesse de dérive et donc de la mobilité. le paramètre k'_n est donc réduit comme l'inverse de la température à la puissance 1.5

En zone ohmique, on s'intéresse à la résistance à l'état passant R_{Dson} qui a donc un **coefficient de température positif**, qui joue un rôle stabilisateur fondamental dans les transistors MOS de puissance.

A petit courant, un effet contraire se manifeste : la **diminution de la tension de seuil V_{TH}** . C'est un effet indirect du potentiel de surface qui sort du cadre de ce cours. Il n'est pas négligeable: le coefficient de dépendance thermique varie de 2 à 4mV/K. Pour des transistors en gamme militaire (-55 à 125 °C) cela représente une variation de l'ordre de 500mV.

NMOS: impédance d'entrée

3 condensateurs parasites



Les MOSFET sont caractérisés par la présence de plusieurs condensateurs parasites.

La capacité C_{GS} entre grille et source est aussi la capacité grille-substrat puisque la métallisation de source court-circuite la grille et le substrat. C'est un condensateur dont la géométrie est fixe :

- les deux électrodes sont la métallisation de grille et le substrat
- le diélectrique est l'oxyde de grille

La capacité C_{GD} entre grille et drain vient en général d'un débordement de la surface de grille au-dessus du drain (nécessaire pour être sûr que le canal est bien ouvert jusqu'au drain, avec un coefficient de sécurité lié à la tolérance sur l'alignement des masques de fabrication).

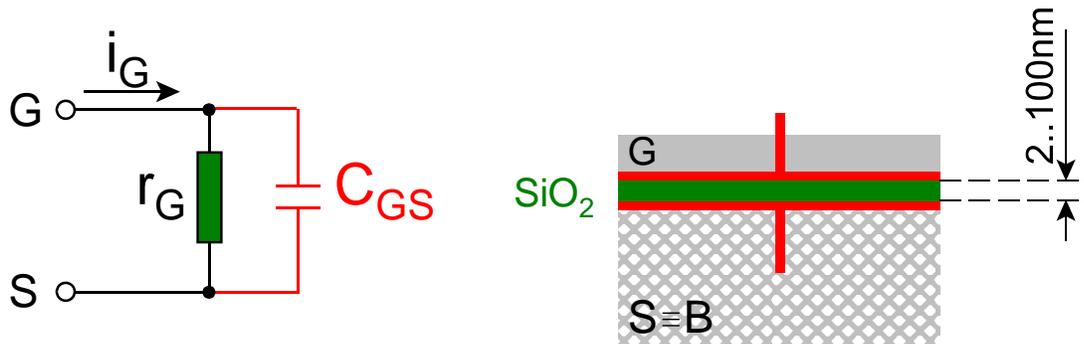
La capacité C_{DS} est celle de la jonction drain-substrat polarisée en inverse.

Ces deux derniers condensateurs varient de manière non linéaire avec la tension drain-source. Lorsque V_{DS} croît, la zone de transition de la jonction D-B s'épaissit avec pour conséquences :

- d'écarter les deux électrodes de C_{DS} , qui diminue par conséquent
- de réduire la surface efficace des électrodes de C_{DG} , qui diminue également.

NMOS impédance d'entrée

résistance de fuite



$r_G =$ fuite d'un très bon isolant = $10^{15} \Omega$!!!

$C_{GS} =$ de qq fF à qq nF suivant taille du MOS

$i_G \approx 0$ en statique

i_G sert uniquement à (dé)charger C_{GS}

Vu du circuit de grille, le MOSFET est essentiellement un condensateur (C_{GS}) dont l'isolant est remarquablement bon. La résistance de fuite de l'oxyde de silicium est en effet de l'ordre de $10^{15} \Omega$!

La capacité du condensateur C_{GS} varie beaucoup avec la taille du transistor :

- quelques fF (10^{-15} F) pour les plus petits transistors de circuits intégrés (taille de l'ordre de $0.2 \mu\text{m}$)
- quelques dizaines de nF pour de gros transistors pouvant véhiculer plusieurs centaines d'ampères

Le courant de grille est donc totalement négligeable (de l'ordre du pA) en statique. Lorsque l'on fait varier la tension de grille, le courant i_G sert à la (dé)charge du condensateur C_{GS} .

Cette impédance d'entrée élevée rend les MOSFET très intéressants comme circuit d'entrée des appareils destinés à mesurer une tension. Une impédance aussi élevée est utile pour mesurer en un point où l'impédance de sortie est trop élevée pour qu'un voltmètre classique (de $20\text{M}\Omega$ d'impédance d'entrée) n'introduise pas de perturbation.

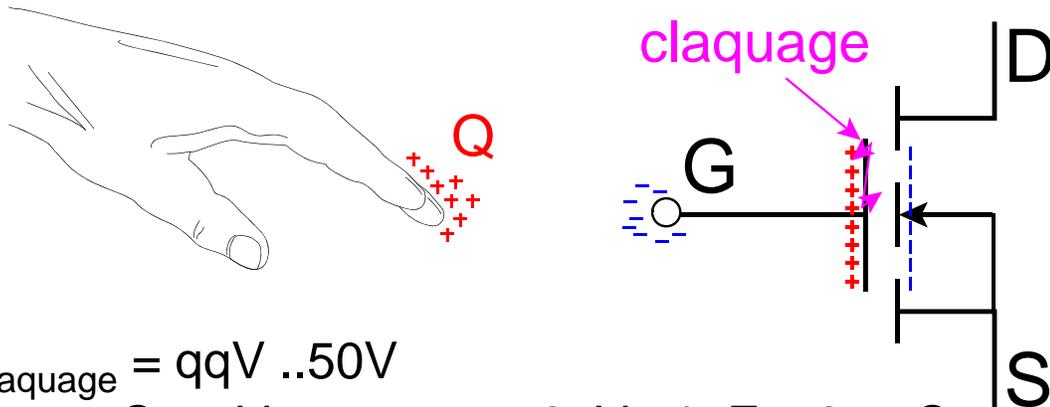
On trouve de telles applications dans des applications médicales (ECG, EEG, EMG) et dans certains capteurs industriels (basés sur des céramiques piézoélectriques, par exemple).

Les appareils destinés à mesurer de très faibles charges électriques sont appelés électromètres et font également appel à des MOSFET.

Cette impédance d'entrée élevée donne un avantage significatif au MOSFET dans les circuits logiques actuels.

NMOS impédance d'entrée

risque de destruction par effet électrostatique



$$V_{GS, \text{claquage}} = qV \approx 50V$$

$$Q_{\text{claquage}} = C_{GS} \cdot V_{GS, \text{claquage}} = 25V \cdot 1pF = 25 pC$$

$$r_G \cdot C_{GS} = 10^{15} \Omega \cdot 1pF = 1000s = 17 \text{ min !!!} \Rightarrow$$

- on peut allumer le transistor pour un temps long
- on claqué aisément la grille

La couche d'oxyde de silicium de la grille est fragile parce que très mince (quelques μm). La tension de claquage de cet isolant n'est que de quelques V (dans les circuits VLSI) à 50V pour des transistors discrets.

Les circuits de commande de la grille doivent donc être conçus pour délivrer des tensions restant bien en deçà de cette limite. Les valeurs usuelles dépassent rarement 15V pour les transistors discrets et de 1 à quelques volts pour les circuits intégrés logiques (voir cours d'électronique numérique et de micro-électronique)

Les claquages de grille ont une autre cause : les effets électrostatiques.

Si l'on approche un corps chargé positivement (comme par exemple la main après avoir manipulé un tissu, des cheveux, une matière plastique, ou marché sur un tapis de laine), on va induire des charges sur la grille. Ces charges ont une durée de vie très longue car, même si le condensateur C_{GS} est très petit, sa résistance de fuite est gigantesque et la constante de temps est de plusieurs minutes !

Dans le meilleur des cas, on va provoquer la conduction intempestive du transistor. En fait, vu la très faible charge nécessaire pour atteindre la tension de claquage de l'oxyde, il y a un risque important de détruire l'oxyde de grille.

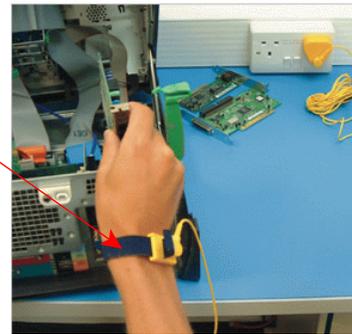


CMOS : précautions de manipulation

risque : vieillissement prématuré ou destruction

- ▶ ☐ protection interne MAIS
 - ◆ normes industrielles
 - stockage et transport en emballage conducteur
 - mousses
 - sachets métallisés
 - tous les outils conducteurs et mis à la terre
 - vêtements anti-statiques
 - revêtement de sol spéciaux
 - mise à la terre des pieds
 - mise à la terre des mains par des bracelets
 - ◆ bonne pratique individuelle
 - éviter les tapis et vêtement en laine
 - toucher une prise de terre avant manipulation

ne jamais laisser une entrée MOS "en l'air"



Vu cette fragilité de la grille, les MOSFET doivent être stockés, transportés, manipulés, placés dans un circuit et soudés avec précaution, afin d'éviter les décharges électrostatiques susceptibles de mettre un composant en panne ou de réduire sa durée de vie.

Il faut donc privilégier un **environnement conducteur** et la **mise à la terre** et ceci vaut pour :

- les revêtements des sols et tables de travail
- les vêtements
- le corps, via les chaussures et une bandelette conductrice touchant le mollet
- les mains, via des bracelets
- tous les conteneurs et emballages

Enfin, il ne faut jamais laisser une entrée MOS "en l'air"; toute entrée d'un circuit logique ou numérique doit avoir un niveau fixé dans les limites prévues par une impédance de quelques dizaines de $k\Omega$ au maximum.

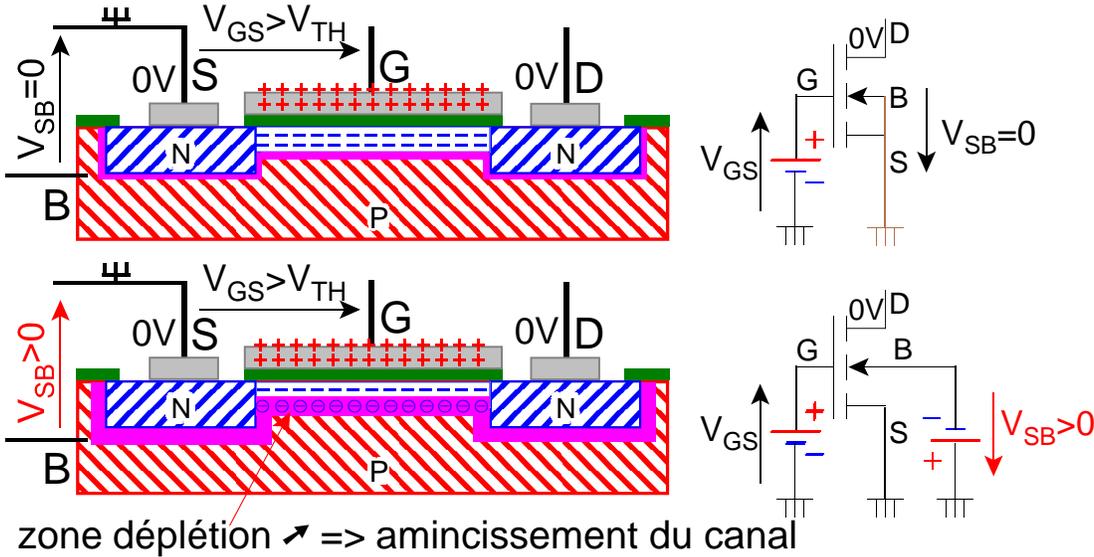
Les transistors discrets sans protection sont normalement vendus avec un fil de court-circuit entre grille et source.

Dans les circuits intégrés, les constructeurs prévoient sur les entrées des circuits de protection dits ESD (ElectroStatic Discharge) qui écrètent la tension de grille (voir cours d'électronique numérique et de micro-électronique).

La protection ESD "abîme" généralement l'impédance d'entrée en la ramenant à l'ordre de $10^9 \Omega$.

NMOS effet du substrat

"contre-grille" $V_{SB} \nearrow \Rightarrow V_{TH} \nearrow$



$$V_{TH} = V_{TH0} + \gamma [\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}] \quad \text{avec} \quad \gamma = \frac{\sqrt{2eN_A \epsilon_s}}{C_{ox}}$$

Si le substrat ou *Body B* n'est pas à la masse, mais porté à une tension négative par rapport à la source, le substrat se comporte comme une "contre-grille" (ou *backgate*), parce qu'il amoindrit l'effet de la polarisation de la grille.

Pour simplifier le dessin et le raisonnement, nous allons examiner uniquement la formation du canal en l'absence de polarisation du drain, il n'y a donc pas de pincement.

A la figure supérieure, le substrat est connecté à la source et le canal est présent car V_{GS} est supérieur au seuil V_{TH} .

A la figure du bas, le **substrat est polarisé négativement par rapport à la source**. Dans ce cas, la zone de charge d'espace (**zone déplétée**) a tendance à **s'épaissir**, surtout à cause de la polarisation négative accrue des jonctions PN.

Cet épaississement tend à **diminuer la profondeur du canal**, en effet la charge totale positive amenée sur la grille doit être contre-balançée par une charge négative, formée essentiellement des électrons du canal si $V_{SB} = 0$ et $V_{GS} \gg V_{TH}$.

Or la zone déplétée du substrat P contient des ions négatifs fixes. Son épaississement va faire contribuer ces ions au total des charges négatives, et donc amoindrir le nombre d'électrons mobiles du canal.

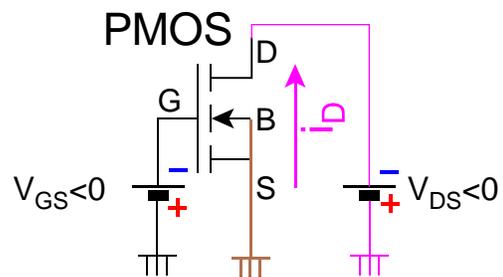
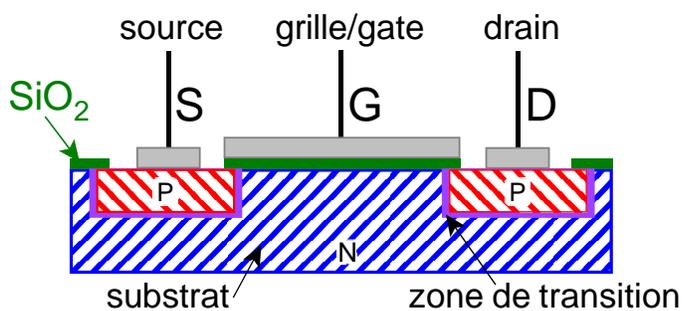
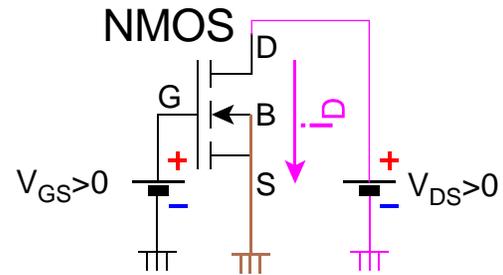
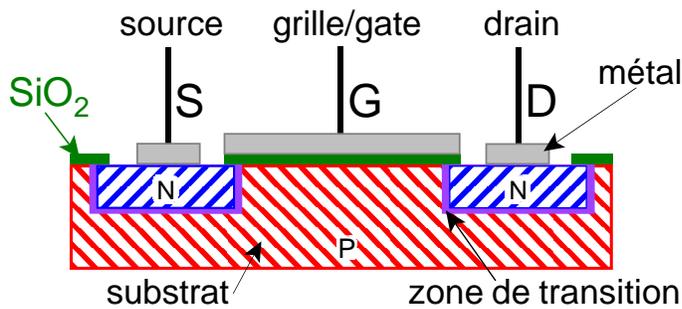
Pour rétablir la section du canal, il va falloir augmenter la polarisation de la grille. On peut donc tenir compte de **l'effet du substrat** ou **body-effect** comme une **augmentation apparente de la tension de seuil V_{TH}** .

Dans la formule ci-dessus,

- V_{TH0} correspond au seuil lorsque le substrat est au potentiel de source ($V_{SB} = 0$)
- γ est le paramètre de l'effet de substrat (*body-effect parameter*) ; valeur typique $0.4V^{1/2}$
- e est la charge de l'électron ($1.6 \text{ E-}19 \text{ C}$)
- ϵ est la permittivité du Si ($1.04 \text{ E-}14 \text{ F/m}$)
- N_A est le dopage du substrat [m^{-3}]
- 2ϕ est un paramètre physique appelé potentiel de surface (de l'ordre de 0.6V)

NMOS - PMOS

dualité des dopants et des polarisations



Le MOSFET à canal P, ou PMOS est le dual du NMOS.

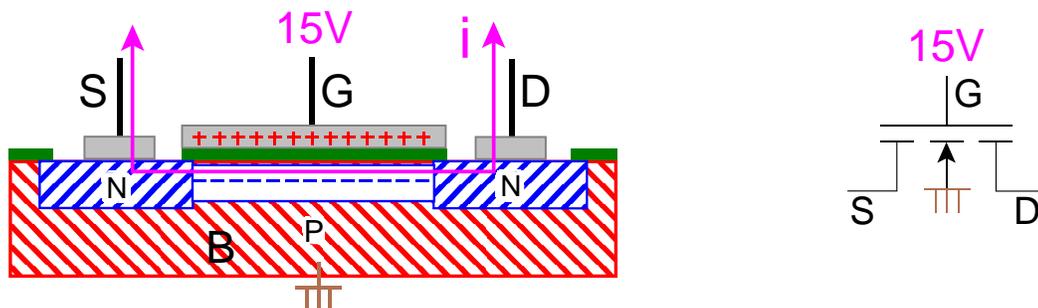
- toutes les zones P deviennent de zones N et réciproquement
- la polarisation normale du drain est $V_{DS} < 0$
- pour créer le canal et rendre le transistor passant, il faut $V_{GS} < 0$
- le canal qui relie le drain et la source est de type P et véhicule des trous
- le courant de drain est inversé

Il faut toutefois remarquer que la **mobilité de surface des trous μ_p est 4 fois moindre que celle des électrons**; les transistors P demandent donc plus de surface pour véhiculer les mêmes courants. Lorsque l'on apparie des transistors PMOS et NMOS (notamment en technologie CMOS, le rapport W/L des PMOS est environ 4 fois plus élevé que celui des NMOS.

MOS

caractère bi-directionnel : interrupteur analogique

- ▶ profiter de la symétrie de la structure
 - ◆ $D \leftrightarrow S$
 - ◆ polarisation de la grille par rapport au substrat
 - ◆ $V_{DS} > 0$ ou $V_{DS} < 0$
- ▶ "interrupteur" commandé par V_{GS}
- ▶ ! limitations de V_{DB} et V_{SB} (claquage des jonctions PN)



On a évoqué dans une dia précédente la possibilité de polariser le drain en négatif. Si l'on sépare le substrat de la source, le transistor possède 4 électrodes. On polarise alors la grille par rapport au substrat et la source et le drain sont "flottants".

Le MOSFET devient alors un **interrupteur analogique** commandé par la tension grille-substrat.

Les tensions inverses source-substrat et drain-substrat doivent évidemment être limitées pour éviter le claquage des jonctions PN.

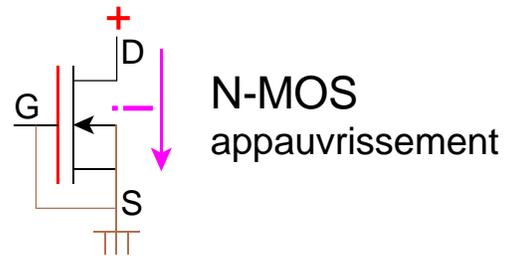
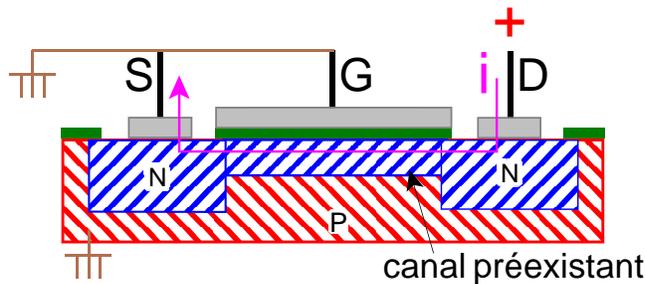
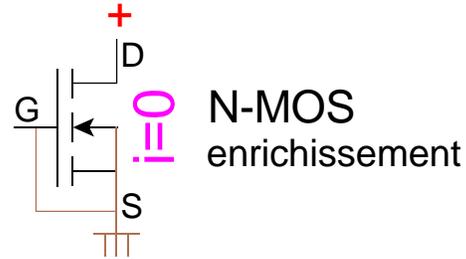
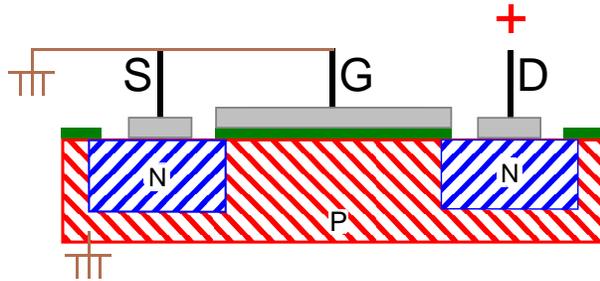
FET : plan

PLAN

- ▶ MOSFET à enrichissement
- ▶ **MOSFET à déplétion / à appauvrissement**
 - ◆ principe
 - ◆ caractéristiques statiques
- ▶ JFET
- ▶ conclusions

MOSFET à appauvrissement

grille non polarisée / drain polarisé



Un autre type de MOSFET existe : le MOSFET à appauvrissement (dit aussi à déplétion).

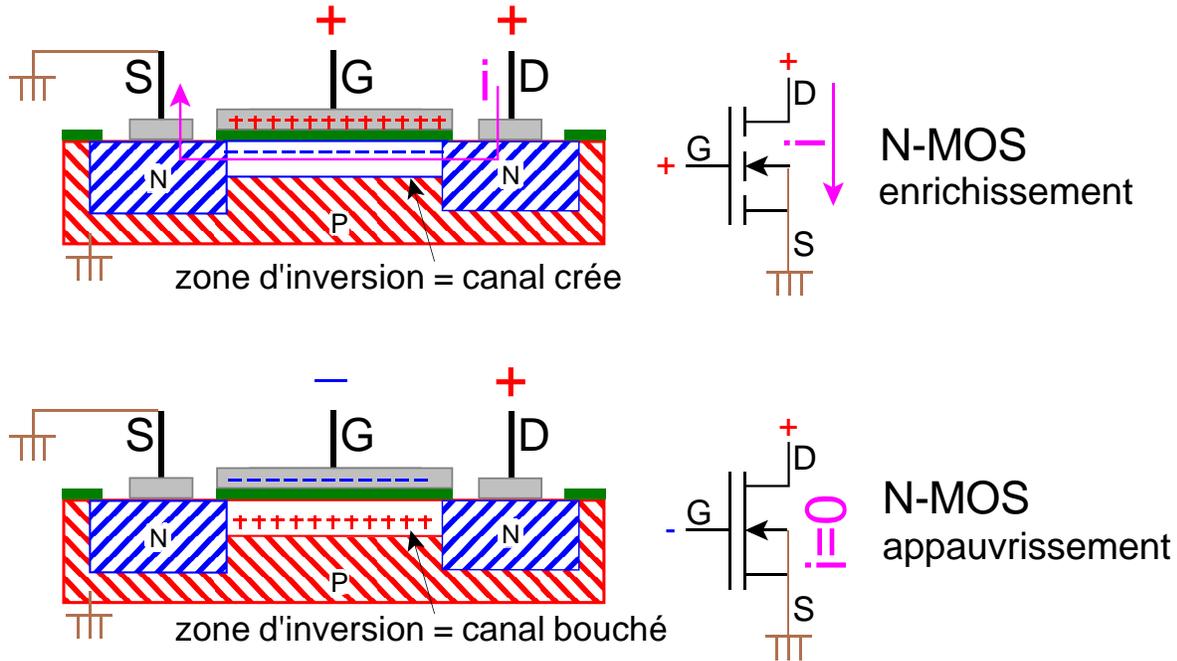
La construction est semblable, mais on trouve sous la grille une zone mince du même type que le drain et la source, et constituant un canal qui les relie.

Le symbole est légèrement différent et fait apparaître la liaison drain-source par une barre continue.

Si l'on polarise le drain par une tension extérieure, la préexistence d'un canal entre source et drain rend le MOSFET à déplétion conducteur, même en l'absence de commande de grille. Dans la même situation, le MOSFET à enrichissement est lui coupé.

MOSFET à appauvrissement

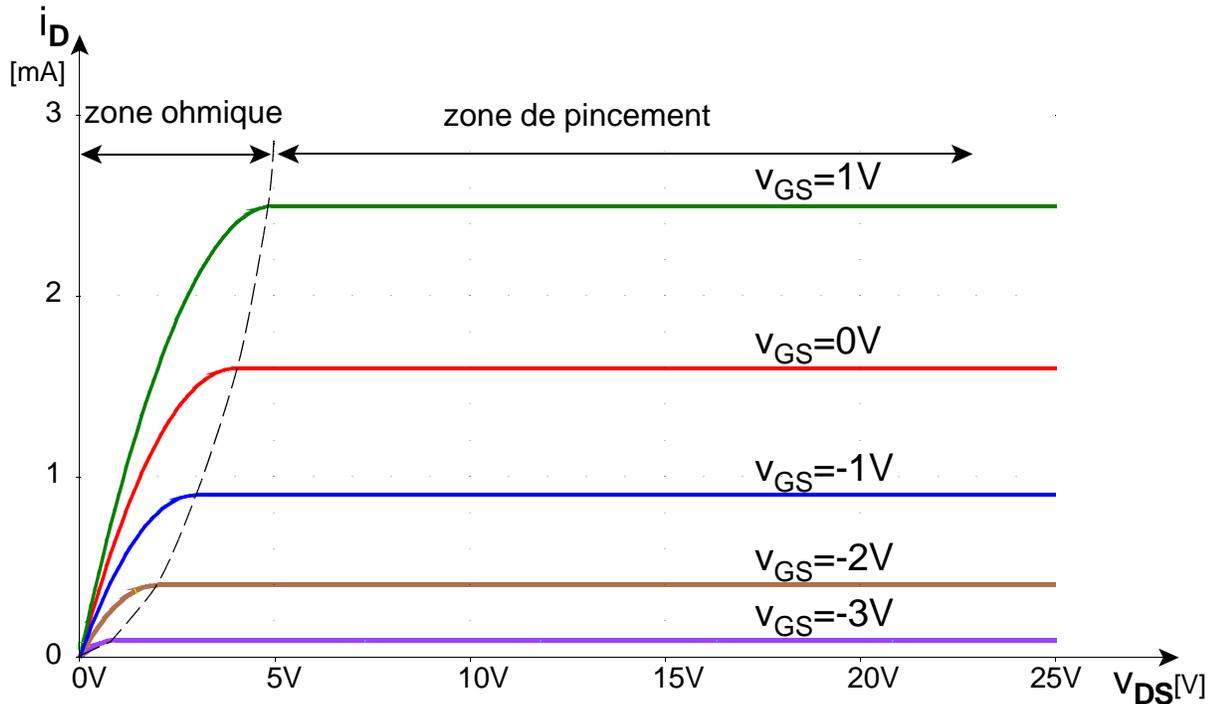
on polarise la grille négativement pour fermer le canal



L'application d'une tension de grille négative va, par effet de champ, inverser la région sous la grille et donc **boucher** progressivement le canal.

NMOS à déplétion: $i_D(v_{DS})$

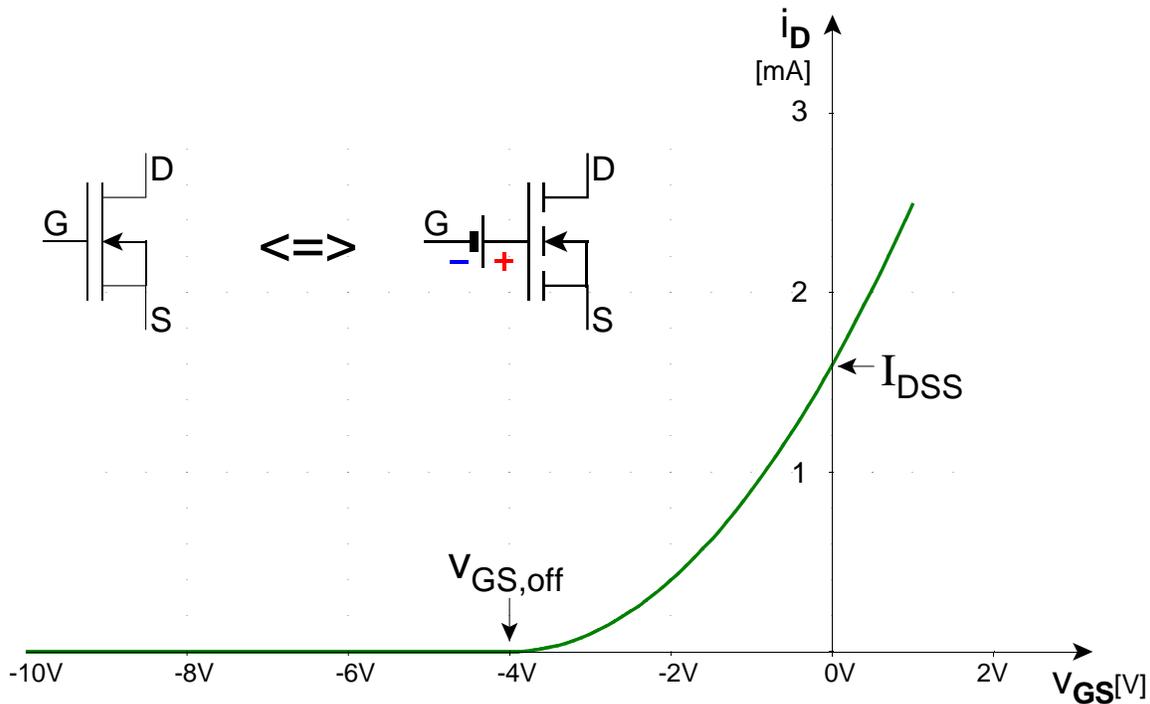
idem MOS à enrichissement à part le signe de v_{GS}



Les caractéristiques statiques du transistor MOS à déplétion sont identiques à celle vues précédemment, à l'exception de la polarité de la tension de grille. L'application d'une tension de grille positive élargit le canal préexistant et augmente le courant. Une tension de grille négative bouche progressivement le canal.

NMOS à déplétion: $i_D(v_{GS})$

forme identique translatée vers la gauche



Par rapport au MOSFET à enrichissement, la caractéristique de transfert conserve sa forme, mais est translatée vers la gauche.

Le MOSFET à déplétion est donc l'équivalent d'un MOSFET à enrichissement dans lequel on aurait placé une source de tension interne de prépolarisation de la grille.

Dans la notice de tels transistors, on voit apparaître deux paramètres supplémentaires:

- I_{DSS} : courant de drain à grille non-polarisée
- $V_{GS,OFF}$: tension de grille annulant le courant

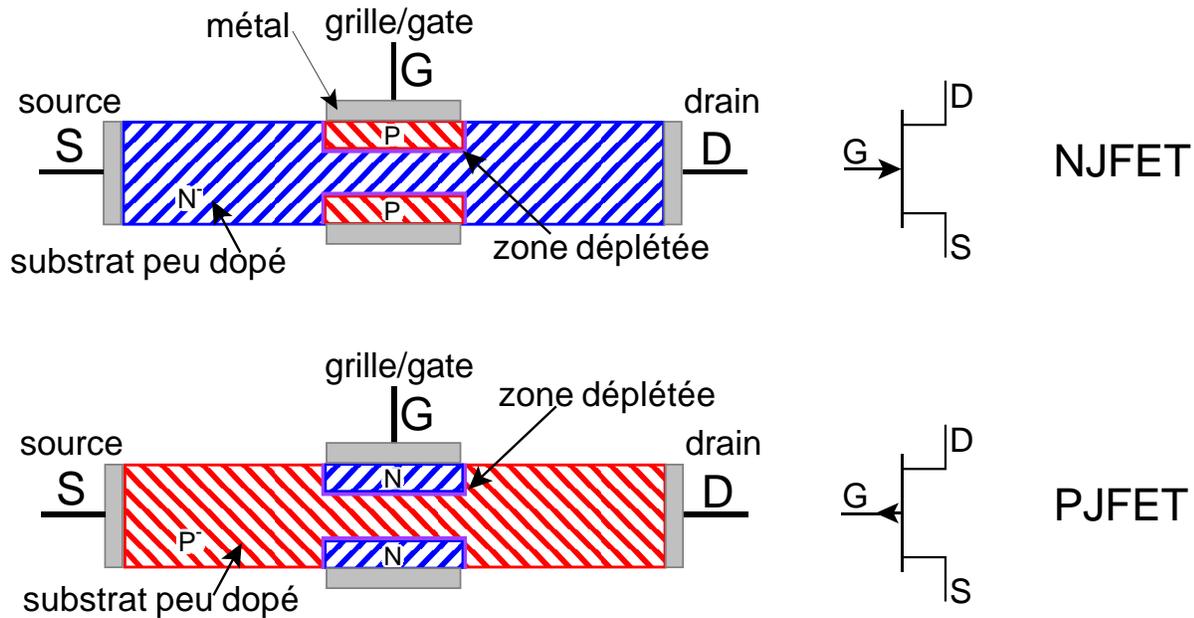
FET : plan

PLAN

- ▶ MOSFET à enrichissement
- ▶ MOSFET à déplétion
- ▶ **JFET**
 - ◆ **principe**
 - ◆ **caractéristique statique**
 - ◆ **Impédance d'entrée**
- ▶ conclusions

Transistor à effet de champ à jonction

JFET : Junction Field Effect Transistor



Le transistor à effet de champ à jonction, ou JFET ("Junction Field Effect Transistor"), est antérieur au transistor MOSFET.

Sa structure est un barreau de silicium relativement peu dopé, le substrat, que l'on métallise aux deux extrémités pour former les deux électrodes principales, appelées Source et Drain, comme dans le MOSFET.

Sur les deux autres côtés du barreau sont disposées des régions de type opposé au substrat, fortement dopées et métallisées, qui sont reliées ensemble électriquement pour former la grille.

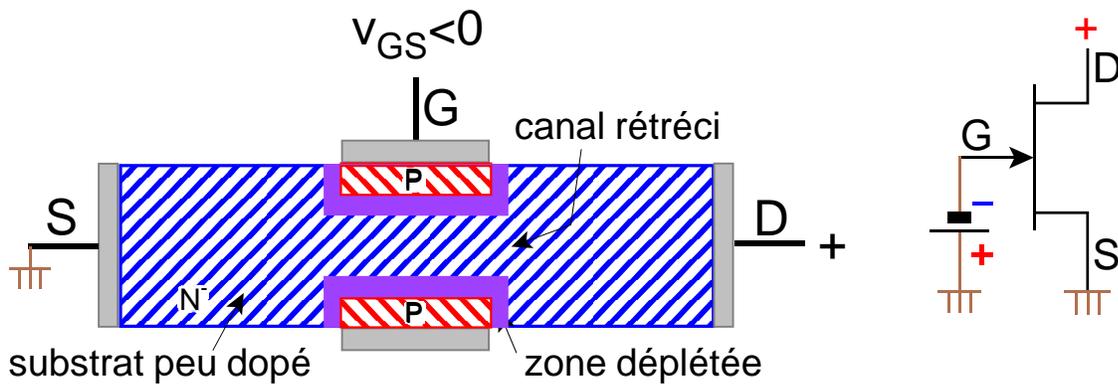
Le JFET existe en deux variantes suivant le type de substrat : le N-JFET et le P-JFET.

Comme le MOS à déplétion, le JFET est un transistor conducteur entre drain et source, en l'absence d'action sur la grille.

NJFET

pilotage par l'épaisseur de la zone déplétée

- ▶ principe: polariser en inverse la jonction G-S
 - ◆ la zone de transition s'épaissit
 - ◆ elle s'étend du côté S moins dopé
 - ◆ le canal se rétrécit
- ▶ analogue au MOSFET à déplétion



Le principe de réglage de la conduction dans le JFET est de polariser en inverse la jonction grille-substrat. La zone déplétée s'étend principalement dans le substrat parce qu'il est moins dopé que la grille; le canal conducteur se rétrécit donc.

Le JFET a donc un comportement analogue au MOS à déplétion. Ces deux transistors sont conducteurs en l'absence de commande. L'action de la tension de commande sur la grille bouche le canal

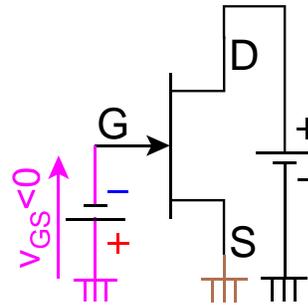
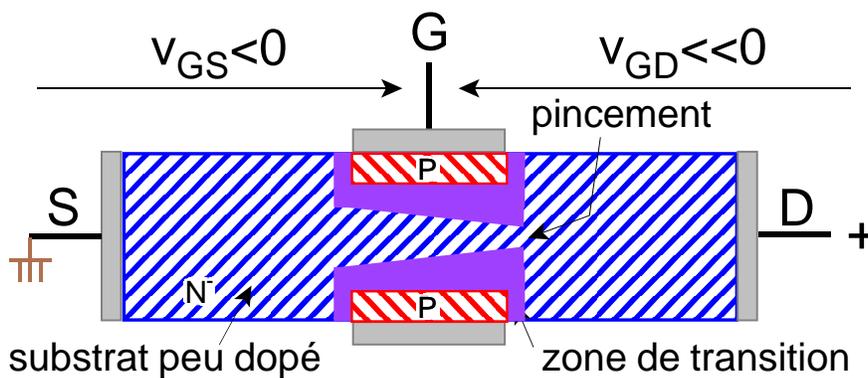
- par une zone d'inversion du matériau sous la grille dans le MOS à déplétion
- par une zone de transition vide de porteurs dans le JFET

NJFET

polarisation du drain - pincement du canal

$$V_D > V_S$$

$|V_{GD}| > |V_{GS}|$ (polarisation inverse)
canal pincé côté drain



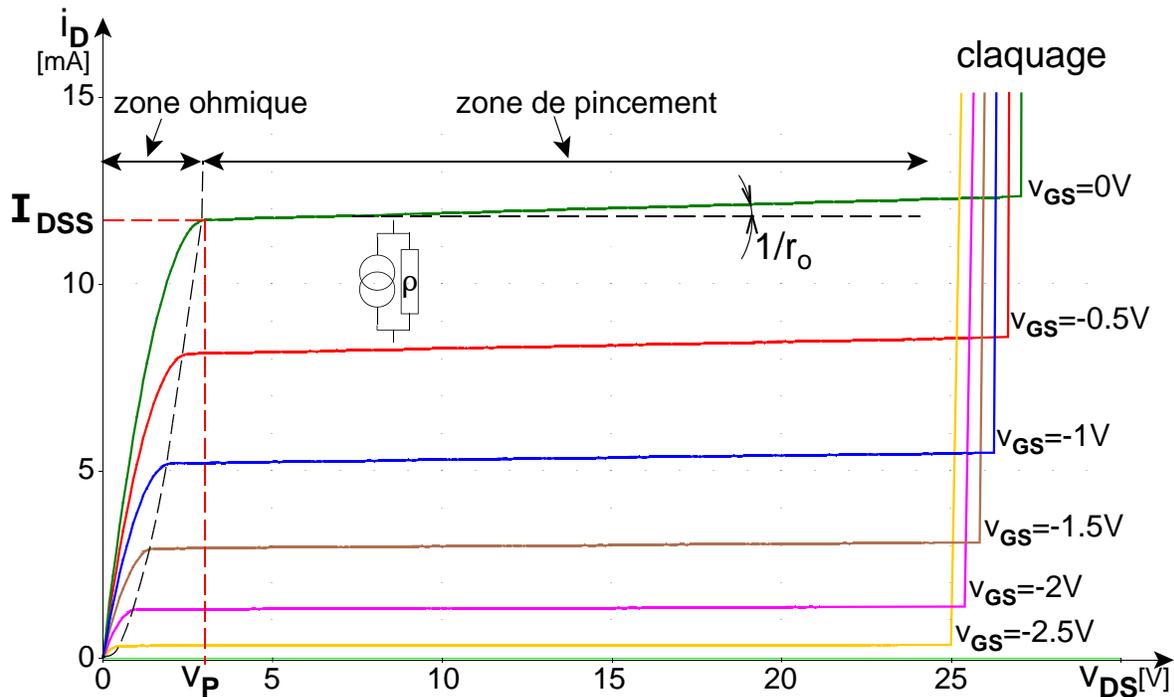
Lorsque l'on polarise le drain positivement par rapport à la source, un courant s'installe dans le substrat. Comme pour le MOS, la section du canal n'est pas constante. La grille étant placée à un potentiel négatif par rapport à la source, et le drain à un potentiel positif par rapport à la source

- la différence de potentiel qui polarise la jonction grille-substrat est plus importante du côté du drain
- le canal est plus étroit du côté drain.

Un phénomène de pincement analogue au MOS se produit donc, et le courant ne croît plus lorsque l'on augmente v_{DS} au-delà de la tension de pincement.

NJFET: $i_D(v_{DS}, v_{GS})$

similaire au MOSFET + claquage



Le réseau de caractéristiques ne présente aucune différence marquante par rapport au MOS à déplétion.

Dans les notices du JFET, on donne un point caractéristique qui est la limite du pincement pour $v_{GS}=0$ les coordonnées de ce point sont :

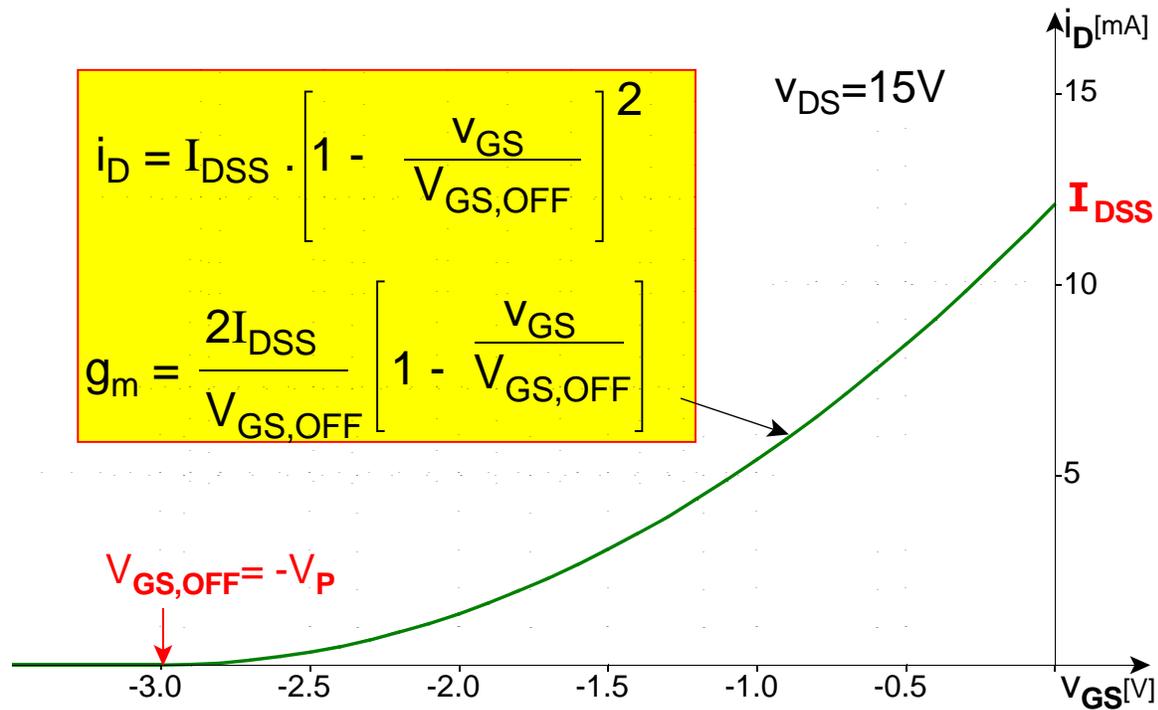
- V_P tension de pincement
- I_{DSS} courant de pincement

Dans la zone de pincement, le JFET est équivalent à une source de courant pilotée par la tension de grille. Les caractéristiques $i_D(v_{DS})$ ne sont pas parfaitement horizontales; la légère augmentation du courant de drain avec la tension v_{DS} est modélisée par une résistance de forte valeur en parallèle sur la source de courant.

L'avalanche de la jonction grille-substrat se produit lorsque l'on augmente la tension de drain au-delà de la limite autorisée.

NJFET: $i_D(v_{GS})$

parabolique: idem MOS à déplétion



Soit V_P la tension de drain qui pince complètement le canal côté drain lorsque la tension de grille est nulle. Dans ce cas, l'application d'une tension ($-V_P$) sur la grille fermera le canal complètement du côté source et le courant de drain s'annulera.

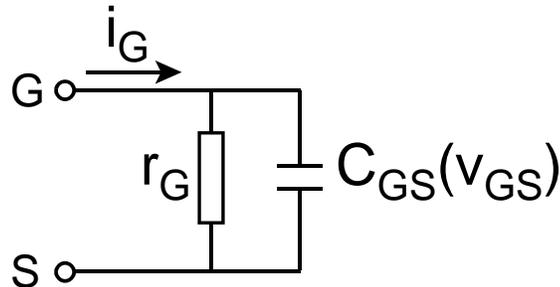
La tension de grille qui bloque le transistor est notée $V_{GS,OFF}$ et vaut ($-V_P$).

Comme pour les MOSFET, la caractéristique de transfert est parabolique. La transconductance a la même définition que pour le MOS.

NJFET: impédance d'entrée

C_{GS} moins gênante que pour le MOS

- ▶ jonction GS polarisée en inverse
 - ♦ courant de fuite faible (de l'ordre du nA sous 10V soit 1E10Ω)
 - ♦ capacité non-linéaire de jonction (de l'ordre de quelques pF)



Le schéma équivalent de l'entrée est le même que pour le MOS.

Le courant de fuite du JFET est un courant de fuite de jonction. La zone de transition est un moins bon isolant que l'oxyde de silicium du MOS. On atteint toutefois des impédances d'entrée considérables de l'ordre de $10^{10} \Omega$, ce qui fait du JFET un composant à haute impédance d'entrée.

La capacité d'entrée du JFET n'a pas la même origine que celle du MOS, puisqu'elle vient ici de la zone de charge d'espace de la jonction grille-substrat. C'est donc un condensateur non linéaire décroissant avec la tension inverse, contrairement au MOS, dont le condensateur V_{GS} est fixe.

Pour des transistors de taille comparable, la capacité d'entrée du JFET est inférieure à celle du MOSFET. Cela donne au JFET la possibilité de travailler à fréquence plus élevée. Ceci était surtout vrai avec les composants discrets. Dans les circuits intégrés actuel, le CMOS est omniprésent.

FET : plan

PLAN

- ▶ MOSFET à enrichissement
- ▶ MOSFET à déplétion
- ▶ JFET
- ▶ **Conclusions**

Conclusions : FET

comportement idéal

- ▶ commande en tension via la grille
 - ◆ résistance d'entrée
 - JFET : très élevée ($1E10 \Omega$)
 - MOSFET : gigantesque ($1E15\Omega$)
- ▶ comportement drain-source à 2 régions
 - ◆ v_{DS} de l'ordre de quelques volts : FET = R_{DS} réglable par la tension de grille
 - ◆ $v_{DS} >$ tension de pincement, FET = source de courant indépendante de V_{DS} et réglée par la tension de grille

conduction basée sur les majoritaires

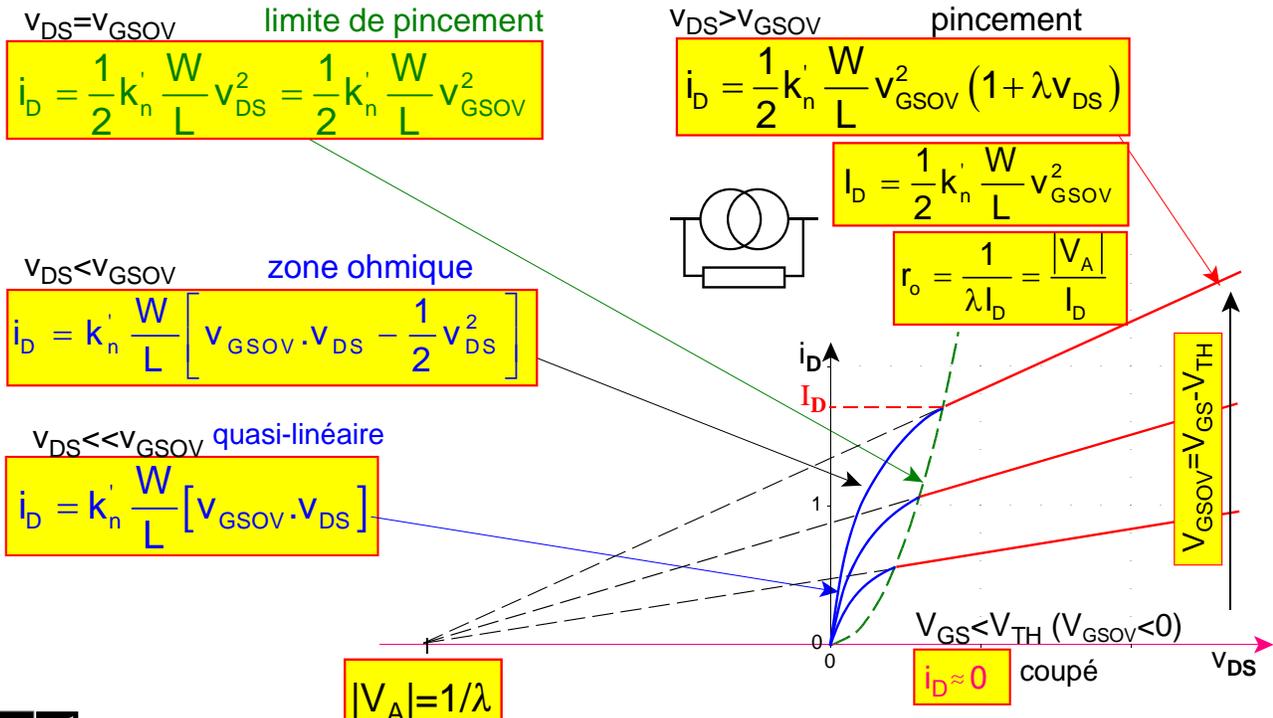
Conclusions : FET

imperfections

- ▶ impédance d'entrée
 - ◆ capacité d'entrée
 - faible pour les FET normaux (pF)
 - diminue l'impédance d'entrée à fréquence élevée
- ▶ région ohmique
 - ◆ R_{DS} est non-linéaire avec le courant
- ▶ région de pincement
 - ◆ légère dépendance du courant de drain avec la tension V_{DS} , modélisée par une résistance de forte valeur en // sur la source de courant

Conclusions : FET

formules principales



Ce chapitre nous a permis de donner un premier modèle du transistor MOS, utilisé dans le simulateur SPICE sous le nom de "MOS Level1". C'est celui que nous utiliserons dans les séances de laboratoire.

Résumons- le:

- si la tension v_{GS} est inférieure à la tension de seuil V_{TH} , on considère que le transistor est coupé
 - la grandeur de commande est la tension de grille effective $V_{GSOV} = V_{GS} - V_{TH}$
 - une fois fixé V_{GSOV} , le courant de drain dépend encore de la zone de fonctionnement qui est fixée par l'amplitude relative de V_{DS} par rapport à V_{GSOV} :
 - si $V_{DS} \ll V_{GSOV}$ (zone linéaire): le transistor se comporte comme une résistance R_{DS} linéaire, le courant croît proportionnellement à la tension; si V_{GSOV} augmente, le canal est plus profond et R_{DS} décroît
 - si $V_{DS} < V_{GSOV}$ (zone ohmique): le transistor se comporte comme une résistance R_{DS} non linéaire, qui croît avec la tension (ou le courant) en raison du rétrécissement progressif du canal côté drain appelé pincement
 - si $V_{DS} = V_{GSOV}$ (limite de pincement): le canal est complètement pincé et on atteint une valeur particulière du courant

$$I_D = (\frac{1}{2})K'_n(W/L)V_{GSOV}^2$$
 - si $V_{DS} > V_{GSOV}$ (zone de pincement): le canal est complètement pincé, mais se raccourcit lorsque la tension V_{DS} continue à augmenter. Le transistor est une **source de courant imparfaite**. Le **facteur λ** traduit l'importance de cette dépendance et donne la pente de la caractéristique $i_D(v_{DS})$ dans la zone de pincement. Quelle que soit la valeur de V_{GSOV} la prolongation du segment de pincement passe par un point d'abscisse $-|V_A| = -(1/\lambda)$
- l'imperfection de la source de courant est représentée par une résistance $r_o = V_A/I_D = 1/(\lambda I_D)$
- o si le transistor est à canal long, λ est faible et on peut considérer que le transistor est une source de courant I_D de bonne qualité
 - o dans les transistors intégrés, le canal est court et on ne peut pas négliger l'influence de la tension dans la zone de pincement